



KERNFORSCHUNGSANLAGE JÜLICH GmbH

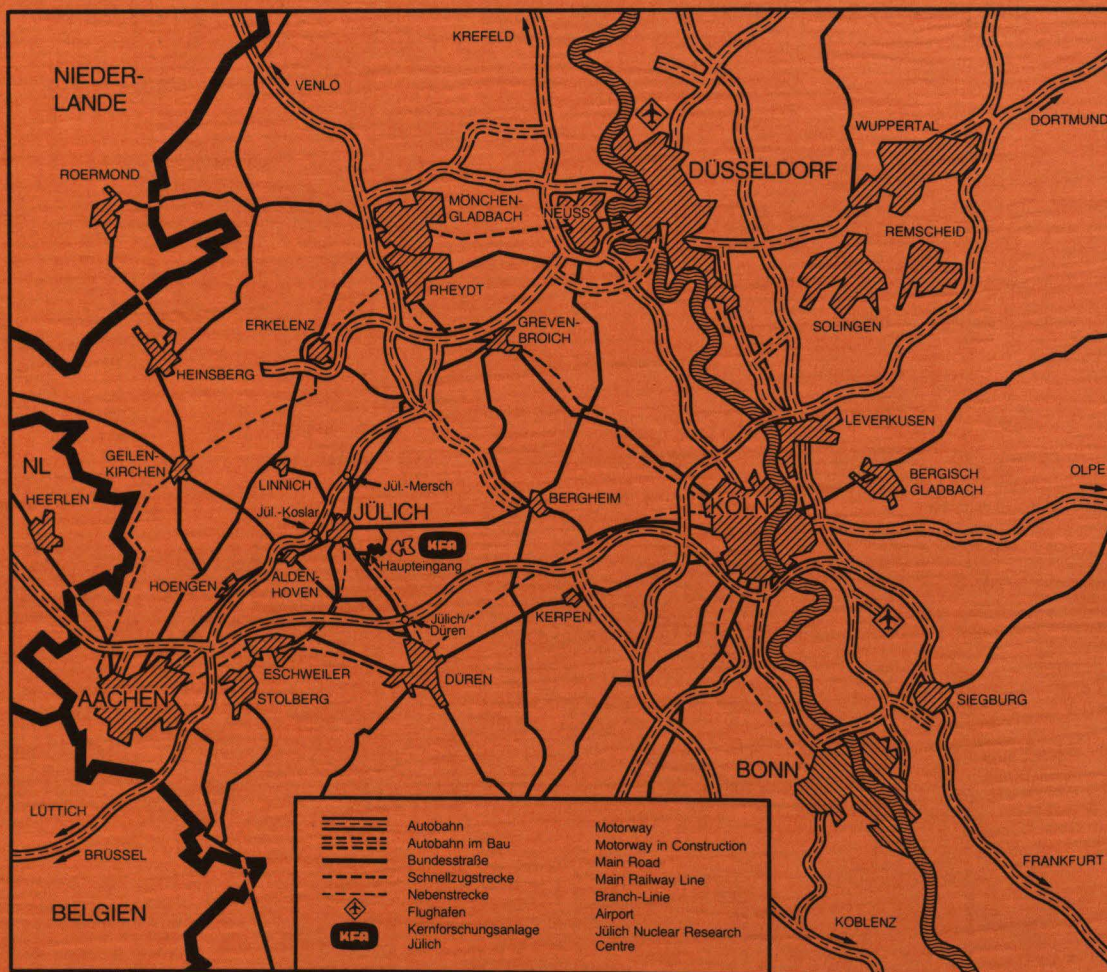
Arbeitsgruppe COSY

**Aufbau und Erprobung eines schnellen
Spannungs-Frequenz-Umsetzers**

von

Ralf Meese

Jül-Spez-387
Januar 1987
ISSN 0343-7639



Als Manuskript gedruckt

Spezielle Berichte der Kernforschungsanlage Jülich – Nr. 387
Arbeitsgruppe COSY Jül-Spez-387

Zu beziehen durch: ZENTRALBIBLIOTHEK der Kernforschungsanlage Jülich GmbH
Postfach 19 13 · D-5170 Jülich (Bundesrepublik Deutschland)
Telefon: 02461/610 · Telex: 833 556-0 kf d

Aufbau und Erprobung eines schnellen Spannungs-Frequenz-Umsetzers

von

Ralf Meese

	Inhaltsverzeichnis	Seite
1	Einführung	1
1.1	Aufgabenstellung	2
1.2	Kapitelübersicht	4
2	Allgemeine Vorüberlegung	8
2.1	Theorie der U/f-Umsetzung	8
2.2	Schaltkreistechnologie	14
2.3	Interner Aufbau des ECL-NOR-Gatters	18
2.4	Funktionsbeschreibung und Blockschaltbild	21
3	Schaltungsdiskussion	23
3.1	Der Oszillator	23
3.1.1	Arbeitsweise des Oszillators	23
3.1.2	Dimensionierung des Oszillators	25
3.2	Die Regelschleife	28
3.2.1	Die Teilerkette	28
3.2.2	Der Schalterbaustein	32
3.3	Regelverstärker	35
3.4	Korrekturverstärker	40
3.5	Gesamtschaltung	43
4	Praktischer Aufbau	45
4.1	Wire-Wrap-Technik	45
4.2	Gedruckte Schaltungstechnik	48
4.3	Meßtechnik	51
4.3.1	Protokoll	55
4.3.2	Oszillogramme	57
5	Abschließende Betrachtung	59
6	Anhang	62
6.1	Bauteilliste	63
6.2	Platinenentwurf	65
6.3	Datenblätter	68
6.4	Literaturverzeichnis	103

1 Einführung

Das Thema dieser Diplomarbeit lautet:

Aufbau und Erprobung eines schnellen
Spannungs - Frequenz - Umsetzers.

Mit Aufbau ist die Erstellung einer funktionstüchtigen Schaltung gemeint, die nicht zur Serienreife entwickelt werden soll. Die Schaltung soll für die speziellen Anforderungen eines Anwendungsfalles innerhalb eines Forschungsvorhabens in der Kernforschungsanlage Jülich (KFA) ausgelegt werden. Im Einsatz soll die Schaltung einfach, d. h. anwenderfreundlich, bedienbar sein und reproduzierbare Signale liefern.

Erprobung meint die Überprüfung und ggf. Verbesserung der vorgegebenen Werte, die unter Umständen von den theoretisch überlegten Eigenschaften dadurch abweichen, weil Unwägbarkeiten im praktischen Aufbau, wie HF-Störungen oder Schaltkapazitäten nicht in dem Umfang in der Theorie berücksichtigt werden.

Schnell steht für die kurzen, also schnellen Arbeitszyklen, die einige Schaltstufen verarbeiten müssen, damit eine recht hohe Ausgangsfrequenz erreicht wird.

Die Eigenschaften des in dieser Arbeit aufzubauenden Umsetzers werden im folgenden Abschnitt aufgeführt.

1.1 Aufgabenstellung

Ziel dieser Diplomarbeit ist der Aufbau eines schnellen Spannungs - Frequenz - Umsetzers und der Untersuchung seiner Eigenschaften.

Die Schaltung und deren Eigenschaften sind von einer Applikationsschrift des amerikanischen Halbleiterherstellers "Linear Technology Corporation" vorgegeben.

/1/ /2/

Es soll geklärt werden, wie weit die Herstellerangaben erreicht werden und wie reproduzierbar derartig ausgereizte Schaltungen sind.

Folgende Eigenschaften werden angegeben:

Eingangsspannungshub 0V bis 10V

Ausgangsfrequenzhub 1Hz bis 100MHz

Kontinuierlicher Verlauf der Ausgangsfrequenz

Nichtlinearität von 0,06%

Nullpunktdrift von 50nV/K (0,5Hz/K)

Temperaturkoeffizient der Verstärkung
von 25ppm/K

Der Umsetzer soll in der KFA in dem geplanten Cooler Synchrotron (COSY) eingesetzt werden. Das Synchrotron ist ein Beschleunigerring, in dem ein gepulster Protonenstrahl umläuft. Meßwertaufnehmer an dem Ring erfassen die Daten, berechnen auf digitalem Wege die Umlauffrequenz und stellen die zur Nachführung notwendige Gleichspannung zur Verfügung. Der zu Erwartende Frequenzbereich, in dem der Spannungs-Frequenz-Umsetzer arbeiten wird, liegt zwischen 10kHz und 50MHz.

Die Untersuchung der erreichten Eigenschaften des fertig aufgebauten Umsetzers wird im 4. Kapitel ausführlich behandelt. Es wird insbesondere untersucht, inwieweit das aufgebaute Gerät die angestrebten Eigenschaften erreicht hat.

1.2 Kapitelübersicht

Das Besondere an dieser Arbeit ist nicht ein neues Verfahren der U/f-Umsetzung. Hier wird vielmehr ein sehr einfaches Verfahren der Umsetzung angewendet und für die in der Aufgabenstellung aufgeführten Eigenschaften aufbereitet.

Sein wesentliches Merkmal ist sein großer Dynamikbereich. Er soll ein Frequenzbereich von 1Hz bis 100MHz linear und kontinuierlich überstreichen.

Diese drei wesentlichen Forderungen stellen hohe Ansprüche an den Oszillator. Dieser muß 1Hz sowie 100MHz verarbeiten können, da wegen der Forderung der kontinuierlichen Einstellbarkeit eine Lösung mit zwei oder mehreren Oszillatoren nicht in Frage kommt. Die Linearität muß nicht unbedingt von dem Oszillator aufgebracht werden, sondern kann durch zusätzliche Schaltungsmaßnahmen, wie der einer Regelschleife, erreicht werden. Im 2. Kapitel wird das prinzipielle Verfahren der U/f-Umsetzung näher erläutert.

Die maximale Frequenz von 100MHz setzen die kürzeste Zykluszeit des Oszillators auf 10ns fest. Dadurch sind nicht alle Schaltungskonzepte zum Aufbau von U/f-Umsetzern brauchbar. In Abschn. 2.1 werden einige Schaltungskonzepte vorgestellt und auf ihre Einsetzbarkeit hin überprüft.

Die Lösung für einen schnellen Oszillator ist ein sehr einfaches Umsetzverfahren, daß zu Gunsten der schnellen Reaktionszeit und des hohen Dynamikbereiches auf gute Linearität und thermische Stabilität verzichtet. Die Linearisierung der U/f-Kennlinie des Oszillators wird durch eine Regelschleife erreicht, die auch die thermische Drift des Oszillators erfaßt.

Die Stufen des Oszillators werden mit integrierten Standardelementen der Digitaltechnik aufgebaut, weil diese einer diskreten Lösung hinsichtlich Preis und einfacher Handhabung bei etwa gleicher Leistung überlegen sind. Jedoch sind nicht alle Logikfamilien für diese Anwendung geeignet. Sie werden in Abschn. 2.2 unter den Kriterien Laufzeit, Flankengeschwindigkeit und Schaltverhalten auf ihre Eignung hin überprüft.

Es stellt sich heraus, daß nicht nur die schnelle Reaktionszeit der Schaltkreise von Bedeutung ist, sondern auch ihr interner Aufbau, also die Arbeitsweise des Gatters, muß in das Oszillatorkonzept passen.

Am besten genügt die "10KH" - Reihe der Motorola ECL - Familie den Anforderungen. Die Vorzüge dieser Reihe und das Grundlogikelement, das NOR-Gatter, wird in Abschn. 2.3 vorgestellt.

Den Abschluß des zweiten Kapitels bildet die Funktionsbeschreibung der gesamten Schaltung anhand eines Blockschaltbildes.

In dem dritten Kapitel werden die prinzipiellen Überlegungen in eine funktionstüchtige Schaltung umgesetzt. Die einzelnen Stufen werden in Funktionsblöcke zusammengefaßt und im Detail erläutert.

Am Schluß des dritten Kapitel zeigt der Schaltplan des gesamten Gerätes alle behandelten Stufen im Zusammenhang.

Alle bisher angestellten Betrachtungen beruhen hauptsächlich auf theoretischen Überlegungen. Die Ergebnisse des praktischen Schaltungsaufbaues werden im vierten Kapitel aufgeführt. Hier werden die Probleme angesprochen, die sich beim Umgang mit schnellen Logikbausteinen ergeben.

Abschn. 4.1 erläutert den ersten Versuchsaufbau der Schaltung in "Wire-Wrap"-Technik. Dabei hat sich gezeigt, daß zeitunkritische Stufen einwandfrei bis etwa 50MHz funktionieren.

Der Oszillator schwingt, auf einem "Wire-Wrap-Board" aufgebaut, nur bis maximal 35MHz, weil Eigenresonanzen im Aufbau entstehen. Ursache hierfür ist große Flankensteilheit der ECL "10KH"-Reihe, die einen Schaltungsentwurf unter HF-Kriterien erfordert.

Als nächsten Schritt wird der Oszillator aus der gesamten Schaltung herausgelöst. Auf einer Lochrasterplatine aufgebaut wird sein Verhalten im Detail untersucht. Es stellt sich heraus, daß keine zusätzlichen Schaltungsmaßnahmen die wesentliche Funktionsweise, die in Abschn 2.2 und 3.1 beschrieben ist, die maximale Frequenz erhöhen. Es deutet sich jedoch an, daß nur eine größere Massefläche und das Abblocken der HF-Schwingneigung über die Versorgungsspannung zum Erfolg führen.

Im Abschn 4.2 wird der dritte und letzte Schritt des Aufbaues beschrieben. Der Umsetzer wird auf eine beidseitig mit Kupfer beschichteten Epoxidharzplatte (Platine) aufgebaut, die als sogenannte "Offene Streifenleitung" ausgeführt ist und den Kriterien eines HF-Aufbaues genügt. Auch hier ist erst nach Durchführung genügender und richtiger Abblockmaßnahmen eine höhere Frequenz des Oszillators möglich. Der Oszillator schwingt nun bis zu 75MHz. Die letztendliche Frequenzerhöhung bringt erst der Austausch eines Entkoppelverstärkers mit einem, der eine höhere Grenzfrequenz (350MHz anstatt 100MHz) und kürzere Anstiegszeit (1ns anstatt 2ns) besitzt. Jetzt erreicht der Oszillator die maximale Frequenz von 100MHz.

Zur Überprüfung der in Abschn 1.1 geforderten Eigenschaften des Umsetzers ist eine geeignete Meßtechnik notwendig. Diese wird in Abschn. 4.5 beschrieben. Das daraus hervorgehende Meßprotokoll ist in Abschn. 4.5 dokumentiert.

Im 5. Kapitel "Abschließende Betrachtung" wird das Ergebnis der Arbeit zusammengefaßt und eine kritische Betrachtung über die Einsatzmöglichkeiten des U/f-Umsetzers angestellt.

Im Anhang ist die Liste der verwendeten Bauteile, der Bestückungsplan, das Platinenlayout und Auszüge aus Datenblättern der verwendeten Bauteile enthalten.

2 Allgemeine Vorüberlegung

In diesem Kapitel wird das grundsätzliche Verfahren der Spannungs-Frequenz-Umsetzung erklärt und es werden prinzipielle Lösungsansätze zum Aufbau von U/f - Umsetzern theoretisch angesprochen. Aus diesen Lösungsansätzen und den Eigenschaften des Umsetzers, s. Abschn 1.1, entstehenden Forderungen an die realen Bauelemente. Standardschaltkreisfamilien werden im Hinblick auf diese Eigenschaften in ihrer Wirkungs- und Funktionsweise untersucht.

Den Abschluß des Kapitels bildet ein grober Überblick über die gesamte Schaltung. Die Aufgaben der einzelnen Stufen werden an einem Blockschaltbild erklärt.

2.1 Theorie der U/f-Umsetzung

Alle Verfahren der U/f - Umsetzung leiten aus der Amplitude einer Spannung proportionale Zeitfolgen ab. Die zahlreichen Schaltungsvarianten, die hierzu existieren, haben letztendlich alle eines gemeinsam:

Die Steuerspannung erzeugt einen konstanten Strom, mit dem ein Kondensator ge- oder entladen wird, sodaß dieser wie ein Integrator wirkt.

Das Ausgangssignal des Integrators steuert eine Schalt- und Vergleicherstufe, die die Spannung am Kondensator überwacht und bei Erreichen definierter Schaltschwellen den Ausgangszustand dieser Stufe ändert. Abhängig von diesem Ausgang ist auch ein Schalter, der auf den Kondensator zurückgeführt ist und dessen Umladung bewirkt.

In Bild 2.1.1 (S.11) ist das beschriebene Verfahren gezeigt. Die beiden Schaltstufen bilden wegen der starren Rückführung ein schwingfähiges System, also ein Oszillator, dessen Ausgangsfrequenz von der Eingangsspannung gesteuert wird.

Die Form des Ausgangssignales hängt davon ab, an welcher Stufe das Signal abgegriffen wird.

Der Integrator liefert wegen des Konstantstromes ein rampenförmiges Signal. Er ist sehr empfindlich gegen Fehl- oder Lastströme und gegen kapazitive Belastung. Dieser Ausgang muß auf jeden Fall entkoppelt werden.

Die Vergleicherstufe liefert ein puls förmiges Signal und ist wesentlich unempfindlicher gegen Abschlußlasten.

Beide Signale sind hinsichtlich der U/f -Umsetzung völlig gleichwertig, sie liefern die gleiche Periodendauer. Wegen des unempfindlicheren Signales am Vergleichers wird der Ausgang der meisten Umsetzer dort angeschlossen.

Alle Umsetzertypen haben diese beiden Stufen gemeinsam; sie unterscheiden sich einzig in dem Schaltungsaufwand, mit dem ein lineares Übertragungsverhalten zwischen Eingangsspannungsänderung und Ausgangsfrequenzänderung erreicht wird.

Der bei der Umsetzung auftretende Fehler ist hauptsächlich auf die Umladung des Integrators zurückzuführen. Diese Zeit ist nicht in der Integration der Eingangsspannung berücksichtigt und verursacht einen systematischen Fehler, der mit der Ausgangsfrequenz steigt.

Dieser Fehler kann nur durch eine aufwendige Umsetzstufe oder durch eine aufwendige Regel- oder Korrekturschaltung klein gehalten werden.

Aufwendige Oszillatoren verursachen bei der U/f -Umsetzung, einen kleinen systematischen Fehler, der über den gesamten Stellbereich konstant gehalten werden kann.

Bei der Lösung d) mit der Regel- oder Korrekturschleife wird der vom einfachen Oszillator (Lösung a)) verursachte frequenzabhängige Umsetzfehler von der Regelung kompensiert. Der verbleibende Restfehler hängt von der Anpassung des Übertragungsverhaltens der Regelschleife an das Übertragungsverhalten des Umsetzers ab und ist keinesfalls konstant oder systematisch. Es ist wohl möglich, durch eine sehr aufwendige Regelschaltung einen recht kleinen Fehler und damit eine sehr lineare U/f -Kennlinie zu erzeugen.

Im Folgenden werden 4 prinzipielle Lösungen zum Aufbau von U/f -Umsetzern vorgestellt, die mit steigendem Schaltungsaufwand bessere Linearität erzielen.

a) Bei der einfachsten Lösung, die in Bild 2.1.1 gezeigt wird, prägt die Steuerspannung einen proportionalen Strom in den Integrator. Dieser erzeugt am Ausgang des Integrators eine rampenförmig steigende Spannung, die den nachfolgenden Komparator steuert. Wird die Schaltschwelle des Komparators erreicht, so ändert sich dessen Ausgangspotential und schaltet eine monostabile Kippstufe, die das Rücksetzen des Integrators auf ein definiertes Potential bewirkt. Danach kann der Integrationsvorgang erneut beginnen.

Das Ausgangssignal des Integrators ist also sägezahnförmig, daß des Komparators pulsförmig. Die Dauer des Pulses hängt von der Zeit der monostabilen Kippstufe ab und ist für alle Pulsfolgen konstant. Da sie nicht in die Integrationszeit mit eingeht, verursacht sie einen linearen Fehler, der mit der Frequenz größer wird. Dieses Verfahren eignet sich daher nur für relativ kleine Frequenzen.

/1/

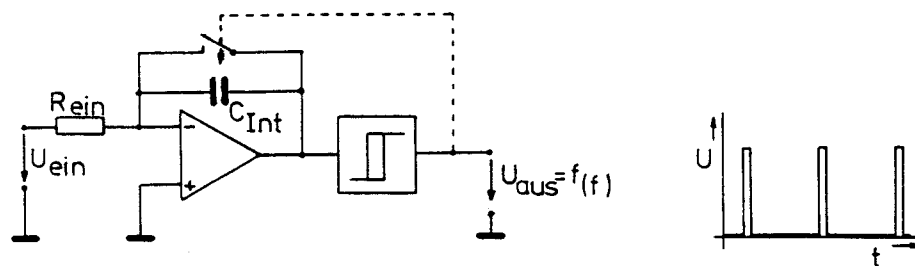


BILD 2.1.1 a) Einfacher U/f - Umsetzer

b) Wesentlich genauer ist das Verfahren, bei dem der Komparator durch einen Schmitt-Trigger ersetzt wird und das Ausgangssignal die Richtung des Integrationsstromes umschaltet. Es wird in Bild 2.1.2 gezeigt. Hier steuert die Eingangsspannung zwei Konstantstromquellen, die den Integrationskondensator laden und entladen. Der Entkoppelverstärker ($V=1$) schützt den Kondensator vor Belastung durch Ausgang und Trigger, die die Integrationszeit verfälschen würde. Das Ausgangssignal beider Stufen ist symmetrisch, der auftretende Fehler hängt von der Verzögerungszeit im System ab und liegt bei Verwendung schneller Bauelemente im Bereich von ns. /3/

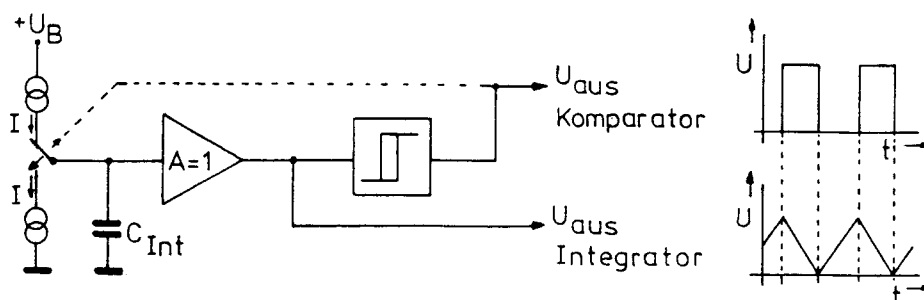


Bild 2.1.2 b) Oszillator mit Stromschalter

c) Mit gleicher Genauigkeit wie b) arbeitet das Verfahren, daß in Bild 2.1.3 gezeigt wird. Hier wird nicht die Richtung des Stromes geschaltet, sondern bei Erreichen der Komparatorschwelle die Ladung des Integrators durch Aufschalten einer gleichgroßen, entgegengesetzten Ladung kompensiert. Das Ausgangssignal ist unsymmetrisch, die Pulsweite hängt hauptsächlich von der Reaktionszeit des Komparators ab. Zusätzlich begrenzt die maximal mögliche Schaltfrequenz des Schalters die Ausgangsfrequenz des Oszillators. /1/

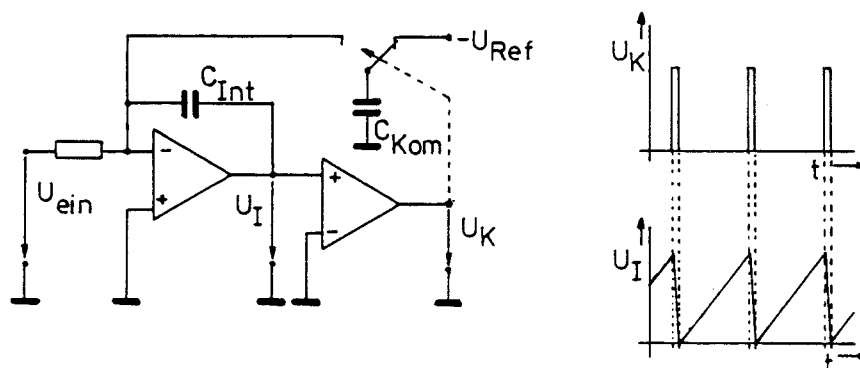


BILD 2.1.3 c) Oszillator mit Ladungspumpe

d) Soll die maximale Frequenz des U/f-Umsetzers 100MHz betragen, so sind die Lösungen b) und c) nicht anwendbar, da sie zu langsam sind. Erreichbar ist diese Geschwindigkeit nur mit einem Aufbau, der wegen der zwangsläufigen Signalverzögerung mit wenigen, schnellen Bauelementen auskommt.

Der in dieser Arbeit ausgeführte Umsetzertyp arbeitet nach dem Verfahren a). Ein einfacher, schneller Oszillator durchläuft einen Dynamikbereich von etwa 8 Dekaden. Der frequenzabhängige Fehler, durch die Entladezeit verursacht, kann bei hohen Frequenzen bis zu 40% betragen. Er wird in einer Regelschleife erfaßt und kompensiert. Weiterhin erfaßt die Regelschleife auch

die thermische Drift des Oszillators, wodurch recht gutes Verhalten hinsichtlich Linearität und thermischer Drift erreicht wird. Die Lösung d) ist in Bild 2.1.4 skizziert.

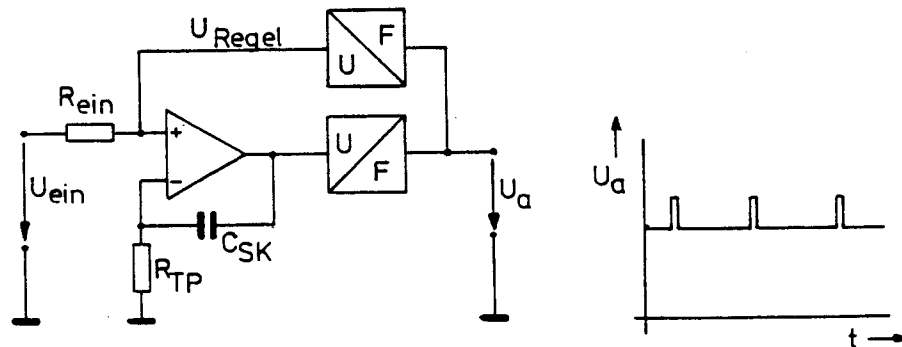


BILD 2.1.4 d) U/f-Umsetzer mit Regelschleife

Mit R_{TP} =Widerstand des Tiefpasses

C_{SK} =Kondensator des Tiefpasses

- Dient zur Einstellung der Schleifenregelzeit
- Verhindert AC-Störungen auf der gleichförmigen Steuerspannung des Oszillators

Im folgenden Abschnitt werden Bauelemente auf ihre Einsetzbarkeit in einem schnellen Oszillator, der nach Lösung d) aufgebaut ist, untersucht.

2.2 Schaltkreistechnologie

Die für den Spannungs - Frequenz - Umsetzer benötigten Schaltungsstufen sollen wegen des einfacheren Aufbaues nach Möglichkeit durch Standardelemente von integrierten Schaltkreisen realisiert werden. Diese stellen wegen der relativ hohen Ausgangsfrequenz von 100MHz hohe Anforderungen an die zu verwendende Schaltkreisfamilie. Zur Diskussion stehen folgende Familien:

- ECL (Emitter-Coupled-Logic)
- FTTL (Fast-TTL-Reihe)
- ASTTL (Advanced-Schottky-TTL-Reihe)
- HCT (High-Speed-CMOS)

Eine kurze Tabelle soll die wesentlichen Eigenschaften der Schaltkreisfamilien aufzeigen: /3/ /4/ /5/

Familie	Typ	t/ns	fmax/MHz	uPeg/V
ECL	10H100	1	>100	0,8
FTTL	74F00	3	130	5
ASTTL	74AS00	1,5	200	5
HCT	74HCT00	10	30	5

Hierbei bedeuten:

- t = Signallaufzeit in ns pro Gatter,
 bei 15pF Ausgangsbelastung
- fmax = maximale Arbeitsfrequenz
- uPeg = Pegelabstand

Die High-Speed-CMOS-TTL-Reihe ist nicht einsetzbar, weil ihre Signallaufzeit mit 10ns wesentlich zu hoch ist und sie nur etwa 30MHz verarbeiten kann.

Die Fast-TTL-Reihe kann 100MHz Signale gut verarbeiten, jedoch ist die Signallaufzeit mit 3ns für den gewünschten Anwendungsfall zu lang.

Die Advanced-Schottky-TTL-Reihe und die ECL-"10KH"-Reihe besitzen bezüglich Signallaufzeit und Arbeitsfrequenz sehr gute Voraussetzungen für den gewünschten Anwendungsfall.

Für die weiteren Entscheidungskriterien muß man Überlegungen zu den kritischen Schaltstufen anstellen. Dieses ist hier der Oszillator, der aus dem Integrator und dem Komparator besteht (vergl. Bild 2.1.1). Der Integrator ist im einfachsten Fall ein Kondensator, der von einem konstanten Strom ge- oder entladen wird. Wegen der hohen Schaltfrequenz soll der Komparatorausgang eine dieser Funktionen übernehmen. Die andere Funktion sollte er nach Möglichkeit nicht beeinflussen. Der offene Emitterausgang der ECL-Technologie bietet diese Möglichkeit. Bild 2.2.1 skizziert die mögliche Funktionsweise. Seine niederohmige Kollektor-Emitterstrecke schaltet Betriebsspannung an den Kondensator. Dieser wird bis zum Erreichen der zweiten Triggerschwelle nach einer e-Funktion aufgeladen.

Da die Triggerschwellen der ECL-Gatter dicht beieinander liegen und der Pegel etwa in der Mitte zwischen der positiven und negativen Betriebsspannung liegt, hängt die Steilheit der Aufladerampe einmal von der Laufzeit im Rückführungskreis und einmal von der Zeitkonstanten des Integrationskondensators und dem Innenwiderstand des Gatters ab. Dies bedeutet, daß die Aufladekurve zu einem Zeitpunkt beendet wird, zu dem die e-Funktion ihren Endwert noch nicht erreicht hat. Der Verlauf der

Kurve bis dahin ist annähernd linear und vor allen Dingen relativ schnell (4ns bei 20pF). /3/

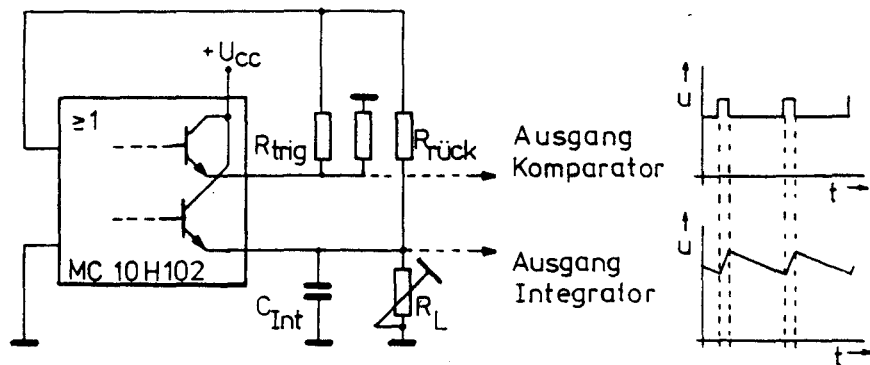


BILD 2.2.1 Oszillator mit ECL - Gatter

Die ASTTL-Technik hat einen Pegelabstand von etwa 5V und schaltet somit immer den Ausgang auf die positive oder negative Versorgungsspannung. Schaltungstechnisch wird dieses durch eine Komplementärendstufe in jedem Gatter erreicht, was bedeutet, daß sie bei beiden Logikzuständen einen kleinen Ausgangsinnenwiderstand besitzt.

Hinsichtlich der Komparatorschwellen und der Schaltzustände spricht nichts gegen die Verwendung des ASTTL-Gatters in einer, dem ECL-Oszillator ähnlichen Schaltung. Jedoch muß hier noch ein schneller Transistor als Puffer und Inverter zwischen Komparator und Integrator geschaltet werden.

Bild 2.2.2 zeigt eine mögliche Beschaltung des Gatters als Oszillator. Die Triggerschwelle des Gatters liegt bei 0,9V und 1,7V. /6/

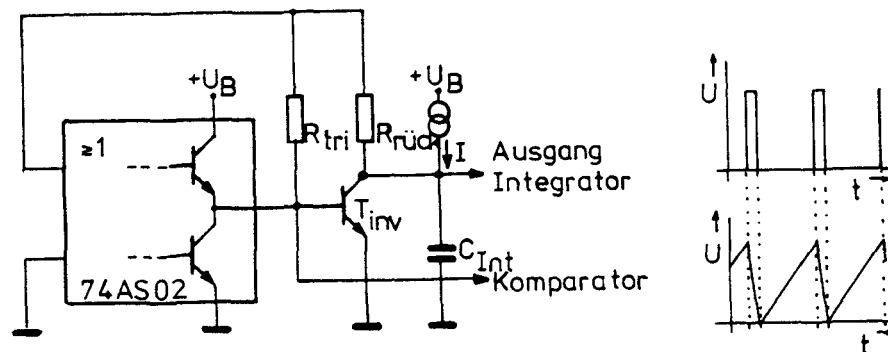


BILD 2.2.2 Oszillator mit ASTTL - Gatter

Nachteil der Lösung mit ASTTL-Gatter ist also die größere Laufzeit in der Rückführung. Sie wird durch die weiter auseinanderliegenden Triggerschwellen und durch den zusätzlichen Schalttransistor verursacht.

Der Oszillator des U/f-Umsetzers wird in ECL-Technik aufgebaut, da er

- kleinen Widerstand (7 Ohm) nach U_{cc}
- großen Widerstand (einige MOhm) nach U_{ee}
- kleiner Pegelabstand (0,9V)
- kurze Laufzeit (1ns)
- große Flankensteilheit (1ns)
(Anstiegs- oder Abfallzeit)

aufweist.

2.3 Interner Aufbau des ECL-NOR-Gatters

Der Vorteil der ECL-Technik liegt in der hohen Schaltgeschwindigkeit. Diese wird erreicht, indem die in den ECL-Bausteinen enthaltenen npn-Transistoren nie bis zur Sättigung angesteuert werden. Dadurch entfallen Ausräumzeiten der Ladungsträger in den Kollektor-Basis-Sperrschichten, die die wesentliche Ursache der Laufzeitverzögerung darstellt.

Die hohe Verlustleistung der Gatter, die durch die ständig leitenden Transistoren verursacht wird, stellen den wesentlichen Nachteil dieser Technologie dar. Weniger Nachteilig wirkt sich der geringe Störabstand aus, der durch einen geeigneten Aufbau umgangen werden kann.

Typisch an der ECL-Technik ist die Eingangsstufe, die als Stromumschalter arbeitet. Sie besteht aus zwei Transistoren (T2, T3 in Bild 2.3.1), die als Differenzverstärker geschaltet sind. Die beiden Transistoren schalten schon bei einer Eingangsdifferenz von etwa 200mV den Strom vollständig von einem Transistor auf den Anderen. Die Emittoren der beiden Transistoren sind auf einen gemeinsamen Widerstand RE gekoppelt, der den Summenstrom der Stufe begrenzt und bei normaler Ansteuerung eine Sättigung der Transistoren vermeidet.

Bei dem ECL-NOR/OR-Gatter des Bausteines 10H102 besteht diese Eingangsstufe aus zwei parallelen Transistoren (T1 und T2), die gegen Differenztransistor T3 arbeiten. Dieser Transistor T3 ist intern auf ein Referenzpotential zwischen U_{CC} und U_{EE} geklemmt, er ist durchgeschaltet, wenn an beiden Eingängen Low-Pegel anliegt. Sein Kollektorpotential und somit auch das über T5 gekoppelte Ausgangssignal des OR - Zweiges wird über den externen "Pull Down"-Widerstand auf Low-Pegel gezogen.

The circuit diagram shows a 5-transistor logic gate. It has two inputs, U_1 and U_2 , each connected to a resistor R_e and then to the base of a transistor (T_1 and T_2 respectively). The emitters of T_1 and T_2 are connected to a common emitter resistor R_E . The collector of T_1 is connected to a resistor R_1 and the base of T_3 . The collector of T_2 is connected to a resistor R_2 and the base of T_4 . The base of T_3 is also connected to a resistor R_3 and the base of T_5 . The emitter of T_3 is connected to a diode and a resistor R_4 to ground. The collector of T_3 is connected to the base of T_4 . The collector of T_4 is connected to $U_{CC1} + 5,2V$ and its emitter is connected to the output labeled NOR, which is also connected to a resistor R_{ex} to ground. The collector of T_5 is connected to $U_{CC2} + 5,2V$ and its emitter is connected to the output labeled OR, which is also connected to a resistor R_{ex} to ground.

Der Anwender hat die Wahl :

- a) Hochohmiger Abschluß (390 Ohm) nach Uee (Masse) ergibt nach Gl. 2.1.1 mit $U_R=3,75V$ großer Verlustleistung (36mW) am Widerstand.
- b) Niederohmiger Abschluß (50 Ohm) nach Utt (+3V) ergibt nach Gl. 2.1.1 mit $U_R=0,75V$ geringe Verlustleistung (11mW) am Widerstand. Hier ist eine zusätzliche Spannungsquelle (+3V) erforderlich, die nur bei großen ECL-Netzwerken lohnend ist.

Zusätzlicher Vorteil von b) sind geringe Reflexionen auf den Leitungen zwischen den Gattern, wenn der Wellenwiderstand der Leitung den gleichen Wert wie die Abschlußwiderstände R_{ex} aufweist.

Die besten Werte bezüglich Signallaufzeit, Anstiegs- und Abfallzeit eines ECL-Gatters ergeben sich, wenn das Gatter mit 50 Ohm abgeschlossen ist und die kapazitive Last höchstens 5pF beträgt. Andernfalls steigt die Verzögerungszeit des Gatters mit 30ps/pF bis zu einer kapazitiven Last von 50pF. /6/

Der beste Bauteilträger ist eine beidseitig mit Kupfer beschichtete Platte, deren Leiterbahnen als sogenannte "Offene Streifenleitung" ausgeführt sind. Diese Leiterbahnen weisen einen Wellenwiderstand auf, der zwischen etwa 50 - 100 Ohm gewählt werden kann. Größere Werte sind wegen der dann zwangsläufig zu dünnen Leiterbahnen schwer möglich. (s. Abschn. 4.2)

Wegen der bei Möglichkeit b) erforderlichen zusätzlichen Spannung wird die Schaltung nach a) dimensioniert. Es werden geringe Reflexionen durch Fehlanpassung und höhere Verlustleistung in Kauf genommen.

2.4 Funktionsbeschreibung und Blockschaltbild

Das Blockschaltbild des in dieser Arbeit aufgebauten U/F-Umsetzers ist in Bild 2.4.1 (S. 22) gezeigt.

Es wird ein relativ einfacher spannungsgesteuerter Rampengenerator als Oszillator für die Ausgangsfrequenz benutzt. (s. Abschn. 2.2)

Damit der Variationsbereich von etwa 8 Dekaden erreicht wird, bereiten 2 Operationsverstärker V1 und V2 die Eingangsspannung auf.

V1 verändert Wert des Entladewiderstandes R_L über etwa 8 Dekaden.

V2 invertiert die Eingangsspannung und klemmt den Nullpunkt auf etwa $-2,5V$. Diese Spannung steuert die Integrationskapazität und bewirkt eine Kapazitätsänderung um den Faktor 3.

Das Ausgangssignal des Oszillators wird durch V5 entkoppelt und invertiert. Es steht nun an einem mit 50 Ohm abgeschlossenen Ausgang als Pulsfolge mit ECL - Pegel zur Verfügung. Dieses Signal ist direkt proportional der Eingangsspannung.

Das Oszillatorsignal wird in einer Teilerkette durch 32 dividiert und steuert eine Ladungspumpe, die als f/U-Umsetzer arbeitet und eine Regelspannung erzeugt.

Die Regelgröße stellt eine Referenzspannungsquelle zur Verfügung, die zusätzlich über V4 von der Eingangsspannung abhängt. Diese Abhängigkeit bewirkt eine Verstellung der Referenzspannung zur Linearisierung der Regelkennlinie.

Die Regelspannung am Ausgang des f/U-Umsetzers wird mit der Eingangsspannung verglichen und die Differenz wird von V1 verstärkt und steuert den Oszillator.

Ein hochohmiges Widerstandsnetzwerk am Eingang von V1 dient einer Nullpunktjustage und ist nur bei geringer Regelspannung wirksam.

2.4 Blockschaltbild

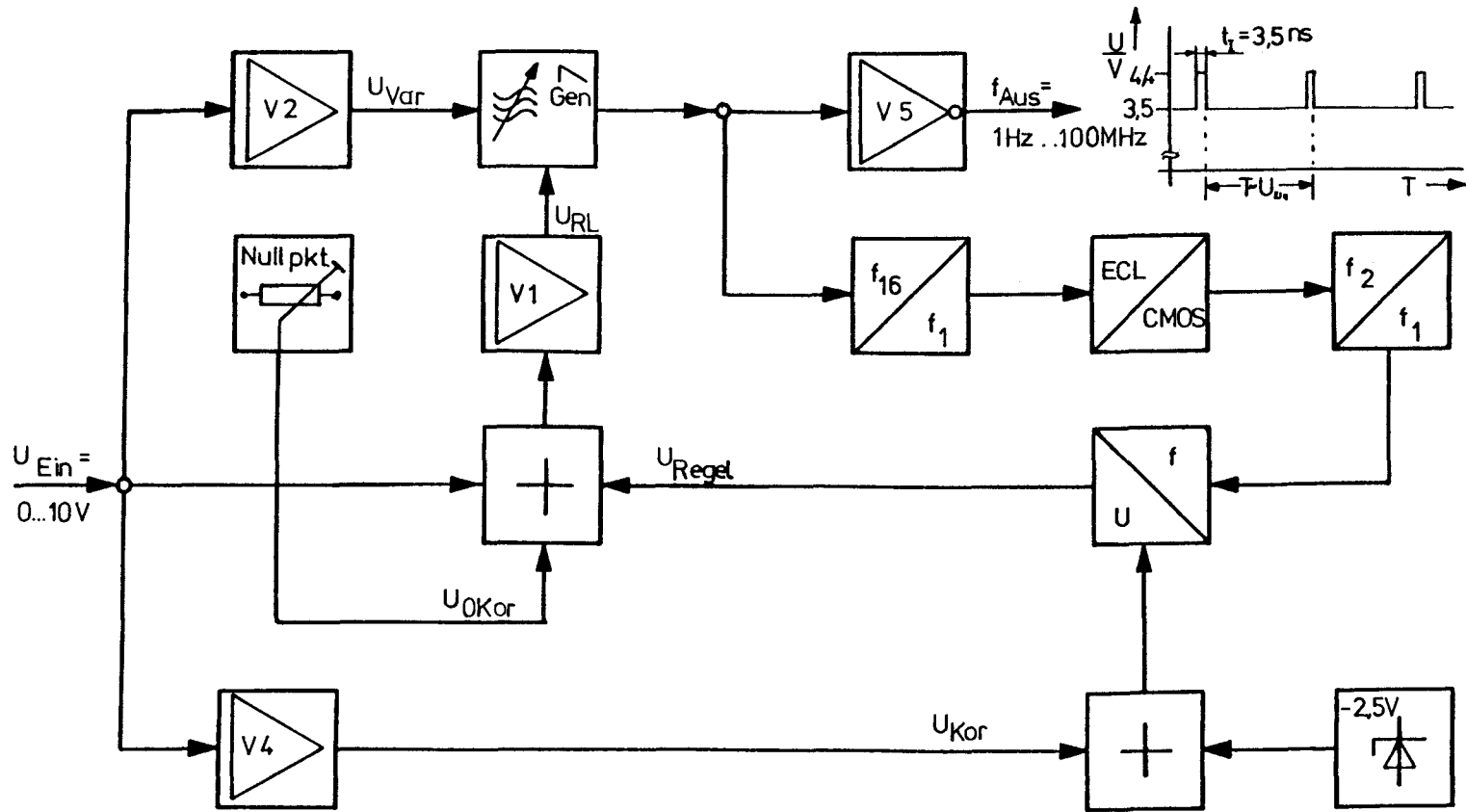


Bild 2.4.1

3 Schaltungsdiskussion

In diesem Kapitel werden die im Blockschaltbild (Abschn. 2.4) vorgestellten Stufen des Umsetzers in Funktionsblöcke zusammengefaßt und ihr diskreter Aufbau beschrieben.

3.1 Der Oszillator

3.1.1 Arbeitsweise des Oszillators

Die Elemente des Oszillators sind nach Abschn 2.1 ein Integrator und eine Schalt- und Vergleicherstufe. Es ist für diese Anwendung eine maximale Frequenz von 100MHz gewünscht, die den kürzesten Arbeitszyklus des Oszillators auf 10ns festlegen.

Der Integrator wird durch einen Kondensator und einer Stromsenke, die im einfachsten Falle durch einen Widerstand realisiert wird, aufgebaut.

Die Ladung des Kondensators steuert nach Gl.3.1.1:

$$\text{Gl.3.1.1} \qquad Q=U \cdot C$$

mit Q = Ladung des Kondensators

U = Spannung des Kondensators

C = Kapazität des Kondensators

den Schmitt-Trigger, dessen inverses Ausgangssignal einen Schalter nach U_{cc} betätigt (s. Bild 3.1.1). Der Schalter ist auf den Kondensator zurückgeführt, sodaß bei Unterschreiten der unteren Triggerschwelle der Kondensator geladen wird.

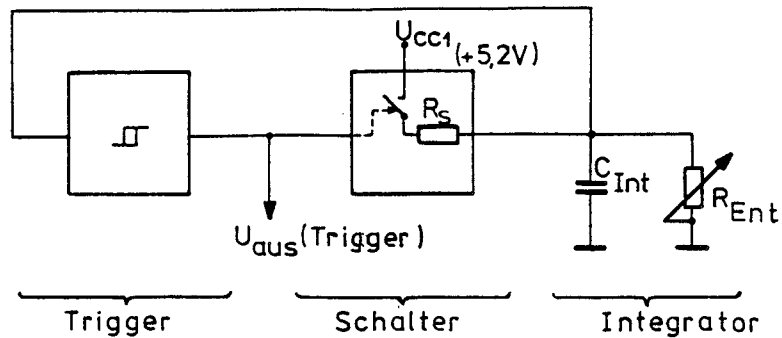


Bild 3.1.1 Prinzipschaltung des Oszillators

Für den Oszillator gelten demnach zwei Ersatzschaltbilder:

- für den Entladevorgang mit einer Zeitkonstante aus Kondensator C_{Int} und Entlade-widerstand R_{Ent}
- für den Ladevorgang mit einer Zeitkonstante aus Kondensator C_{Int} und der wech-selspannungsmäßigen Parallelschaltung von Lade- R_s (Bahnwiderstand des Schalters) und Entlade-widerstand R_{Ent} .

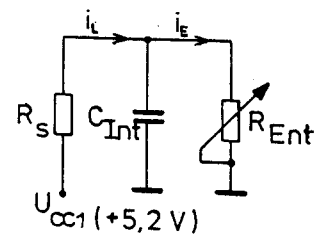
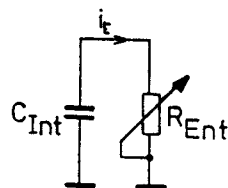


Bild 3.1.2 a) Entladekreis

b) Ladekreis

3.1.2 Dimensionierung des Oszillators

Für die Dimensionierung des Oszillators wird seitens der Schaltungsfunktion folgende Forderungen gestellt:

- * Ladezeitkonstante möglichst klein (4ns)
- * kleine Zeitkonstante bei hohen Frequenzen (10ns)
- * große Zeitkonstante bei niedrigen Frequenzen (1s)
- * Zeitkonstante über gesamten Bereich veränderbar.

Zusätzlich stellen die Bauteile folgende Forderung:

- * geringe kapazitive Belastung der Gatter (15-50pF)

Die Forderung der kleinen Ladezeitkonstante und der kleinen Zeitkonstanten bei hohen Frequenzen ist hinsichtlich ihrer Lösung identisch. Die Ausgangsfrequenz ergibt sich aus der Summe der Lade- und Entladezeitkonstanten.

Die Ladezeit ist endlich wegen des Bahnwiderstandes des Schalters und dem Ladungstransport der Kondensatorladung. Deshalb wird gefordert:

- * kleiner Bahnwiderstand (7 Ohm)
- * kleiner Kondensator (15-50pF).

Der Bahnwiderstand ist vom Ausgang des Schmitt-Triggers festgelegt und beträgt nach Herstellerangabe 7 Ohm. /6/

Die maximal mögliche Frequenz wird von der Ladezeitkonstante begrenzt. Der Bahnwiderstand ist fest vorgegeben und die Integrationskapazität kann nicht beliebig verkleinert werden, da sich zu der klein wählbaren Nutzkapazität (D14 mit 5-40pF) die unvermeidbare Schaltkapazität, die Eingangskapazität des Entkoppel-

verstärkers (3pF nach Datenblatt 3) und der Stromsenke addiert.

Die Ladezeitkonstante gibt nur die Steigung des Integratorsignales vor. Entscheidend für die Zeitdauer des Ladevorganges ist auch der Pegelabstand, d. h. die Differenz zwischen den Triggerschwellen und die Reaktionszeit der Trigger- und Schalterstufe. Zu weit auseinanderliegende Triggerschwellen erfordern nach Gl. 3.1.1 einen großen Ladungstransport, der nach

$$\text{Gl. 3.1.2} \quad Q = \int I \cdot dt$$

mit Q =Ladungen auf dem Kondensator

I =Strom in den Kondensator

dt =Zeitabschnitte

durch einen großen Strom in den Kondensator oder durch viele Zeitabschnitte, d. h. lange Ladezeiten aufgebracht werden muß.

Ähnlich wirkt sich eine zu große Laufzeit in der Triggerstufe und/oder eine zu große Verzögerungszeit der Schaltstufe aus. Durch beide Effekte wird der Kondensator über die Triggerschwelle hinaus aufgeladen, es entsteht ein unnötiger Ladungstransport und wegen der endlichen Steilheit der Aufladerampe wird die Ladezeit größer, der Integrationskondensator wirkt größer als er wirklich ist.

Die Forderung einer geringen Integrationskapazität (15-50pF) wird auch vom Trigger unterstützt. Dieser ist in ECL-Technik ausgeführt und liefert nur Laufzeiten und kurze Flanken (1ns), wenn der Gatterausgang mit 5pF belastet ist. (s. Abschn. 2.3)

Aus diesen beiden Gründen ist nicht direkt bestimmbar, ob die maximal mögliche Frequenz des Oszillators nicht erreicht wird, weil die Laufzeit in der Stufe zu lang, oder die Belastung des Gatters zu groß ist.

Die bei niedrigen Frequenzen erforderliche große Zeitkonstante (1s) ist aufgrund der Wahl der kleinen Kapazität nur mit einem hochohmigen Widerstand zu erreichen. Dieser Widerstand muß die Zeitkonstante über etwa 8 Dekaden verstellen, denn der Einfluß der Kapazitätsänderung ist nur sehr gering (etwa Faktor 3).

Der Oszillator des Umsetzers muß wegen der hohen Ausgangsfrequenz sehr kurze Verzögerungszeiten aufweisen. Bei der maximalen Frequenz von $f=100\text{MHz}$ stehen für den kompletten Umladevorgang des Integrationskondensators nur 10ns zur Verfügung. Diese Reaktionszeit ist nur bei der Verwendung von Schaltungselementen mit sehr kurzer Signalverzögerung (Propagation Delay) realisierbar.

Der ECL-Baustein MC10H102 von Motorola erfüllt diese Forderung gleich in zweifacher Hinsicht. Erstens weist er eine Signalverzögerungszeit von nur 1ns auf, und zweitens liegt sein Signalabstand mit $u=0,9\text{V}$ in einer Größenordnung der auch der Integrationskondensator zu folgen vermag.

Der Baustein MC10H102 besteht aus vier NOR-Gattern. Ein NOR-Gatter besitzt außerdem einen parallelen OR-Ausgang. Dieses Gatter wird als Schmitt-Trigger beschaltet, indem ein Widerstand $R=220\text{ Ohm}$ den OR-Ausgang auf einen der Eingänge zurückkoppelt. Dadurch erhält die Schaltung eine untere Triggerschwelle von 4,1V und eine Obere von 4,3V.

3.2 Die Regelschleife

Die Regelschleife ist notwendig, um die U/f -Kennlinie des Oszillators zu linearisieren. Dazu wird das Ausgangssignal des Oszillators in eine proportionale Spannung umgesetzt und mit der Eingangsspannung verglichen.

3.2.1 Die Teilerkette

Die in der Regelschleife erforderliche f/U -Umsetzung wird mit einer Ladungspumpe erzeugt. Die Ausgangsfrequenz des Oszillators taktet die Ladungspumpe. Bei konstanter Ladungsmenge pro Pumpektakt hängt die Menge der bewegten Ladungsträger nur von der Oszillatorfrequenz ab. Ein in den Ausgangskreis der Ladungspumpe geschalteter Tiefpass wirkt als Integrator und glättet die gepumpten Ladungsträger zu einer gleichförmigen Regelspannung. (s. Bild 3.2.1)

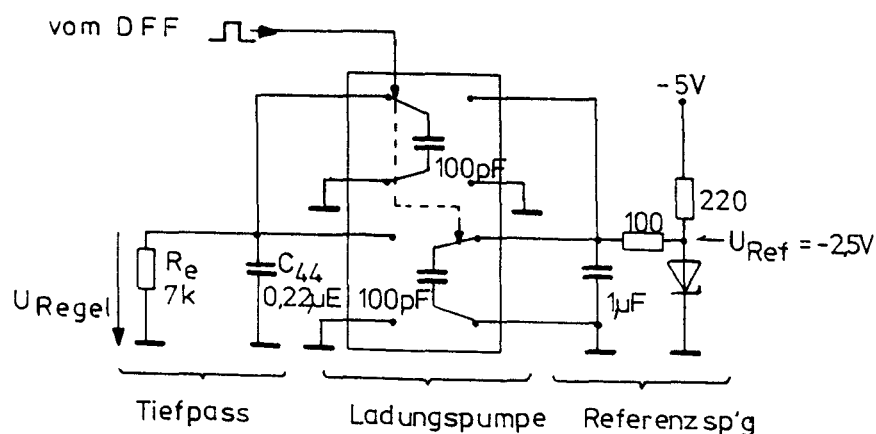


Bild 3.2.1 f/U -Umsetzer mit Ladungspumpe

Der als Ladungspumpe arbeitende Baustein ist in CMOS-Technik aufgebaut und kann mit einer maximalen Taktfrequenz von 5MHz angesteuert werden.

Das Steuersignal der Ladungspumpe wird von dem ECL-Oszillator geliefert und beträgt maximal 100MHz. Es ist eine Pegelanpassung und eine Division durch 32 notwendig, um die Ladungspumpe innerhalb des garantierten Arbeitsbereiches anzusteuern.

Der prinzipielle Aufbau der Teilerstufe ist im Blockschaltbild (Abschn. 2.4) gezeigt.

Die erste Teilerstufe ist mit dem Motorola-Baustein MC10136 in ECL-Technik aufgebaut. Der Baustein ist als Aufwärtzzähler geschaltet und die ansteigenden Flanken des Signals am Clockeingang lassen den Zähler hochlaufen. Der hier benutzte Sedezimalausgang ändert alle acht Eingangspulse seinen logischen Pegel, d. h. nach sechszehn Takten beginnt der Zyklus wieder von vorne.

Der Ausgang des ECL-Zählers liefert maximal 6,25MHz und ist damit langsam genug, um von den nachfolgenden CMOS-Stufen, verarbeitet werden zu können.

Für die erforderliche Pegelumsetzung sind zwei Transistoren als Differenzverstärker geschaltet (Bild 3.2.2). Ein Eingang des Differenzverstärker (T26) wird direkt von dem Ausgang des Sedezimalzählers gesteuert, für den andere Eingang (T27) wird dieses Signal von einem NOR-Gatter invertiert.

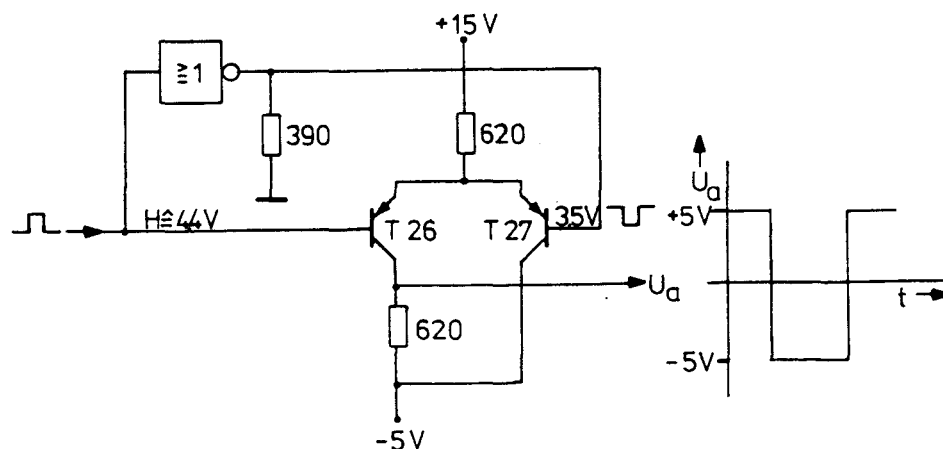


Bild 3.2.2 Pegelumsetzer ECL - CMOS

Dies gewährleistet, daß zwischen den beiden Eingängen des Differenzverstärkers immer die ECL-Logikpegeldifferenz von 0,9V anliegt.

Ausschlaggebend für das Ausgangspotential des Pegelumsetzers ist der Transistor, an dessen Basis das geringere Potential anliegt. Für die folgende Diskussion ist angenommen, das an T26 High-Pegel und T27 entsprechend Low-Pegel anliegt. Dann wird T27 leitend und klemmt das gemeinsame Emitterpotential auf 4,2V. An der Basis von T26 liegen entsprechend 4,4V an, T26 wird gesperrt und leitet keinen Kollektorstrom. Der Stromfluß geht nur über T27, das Kollektorpotential von T26 beträgt -5V.

Geht der Ausgang des Sedezimalzählers auf Low, so wechseln auch die Basispotentiale der beiden Differenzeingänge. An T26 liegt nun 3,5V an, jedoch wird hier nicht das gemeinsame Emitterpotential geklemmt, sondern durch die beiden gleichgroßen Widerstände an Emitter und Kollektor wird ein mittleres Potential von etwa 4,9V an den Emittern erzwungen. T26 ist voll aufgesteuert und zwischen seinem Emitter und Kollektor fällt nur noch die Sättigungsspannung ab. Das Kollektorpotential von T26 beträgt +5V.

Das Ausgangssignal des Pegelumsetzers steuert den Takteingang eines CMOS-D-Flip-Flops, der eine Division durch 2 bewirkt und die Teilerkette abschließt.

Die Teilerkette hat die maximal 100MHz des Oszillators durch 32 dividiert. Somit wird die Ladungspumpe mit maximal 3,25MHz geschaltet, die in eine proportionale Regelspannung überführt werden.

Aus regelungstechnischer Sicht wirkt die Teilerkette wie ein Regelkreisglied mit integralem Anteil. Die kurzzeitigen Störungen des Oszillators, wie Fehltrigger, d. h. kurzzeitig schnellere Pulsfolgen, wirken sich nicht unmittelbar aus, sondern verzögert nach Durchlauf des Zählers.

3.2.2 Der Schalterbaustein

Für die Rückführung der Ausgangsfrequenz in eine proportionale Regelspannung wird eine Ladungspumpe eingesetzt. Diese Ladungspumpe wird von dem integrierten Baustein LTC1043 realisiert, der wie ein elektronisches Relais arbeitet (s. Bild 3.2.3).

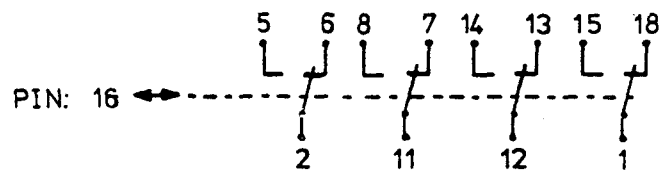


Bild 3.2.3 Wirkungsweise des LTC1043

Der Baustein besitzt einen internen Oszillator, der den Schalter steuert. Der Oszillator ist extern von den ansteigenden Flanken des Clocksignals triggerbar, oder er schwingt frei, wenn eine Kapazität zwischen Clockeingang und negativer Betriebsspannung geschaltet ist.

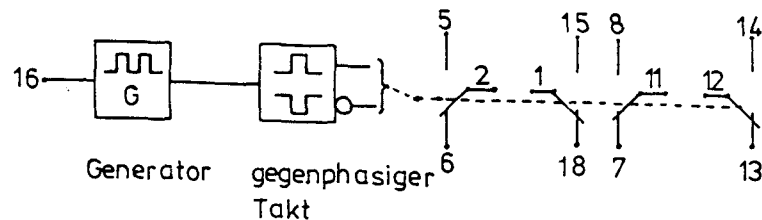


Bild 3.2.4 Blockschemata des Schalterbausteins

Der Oszillator erzeugt einen nichtüberlappenden gegenphasigen Takt, der die beiden jeweils in Reihe liegenden Schalter einer Strecke ansteuert. Es entsteht somit eine Totzeit ähnlich wie bei einem mechanischen Schalter, die verhindert, daß die beiden Kreise verbunden, also kurzgeschlossen werden.

Für die f/U-Umsetzung schaltet dieser Baustein zwei Kondensatoren (C32,C33) im Gegentakt. (s. Bild 3.2.2) Während der einen Schalterstellung werden die Kondensatoren an eine Referenzspannung von -2,5V geschaltet. Sie erhalten dabei die für alle Taktfrequenzen konstante Ladung von (s. Gl. 3.1.1):

$$Q = U \cdot C = -2,5V \cdot 100pF = 250pAs.$$

In der anderen Schalterstellung wird die Ladung auf einen Siebkondensator geschaltet, der dadurch eine negative Spannung erhält. Der Siebkondensator mit der parallelen Last zeigt Tiefpassverhalten, die Spannungsspitzen, die durch die Ladungspumpe verursacht werden, werden hier zu einer gleichförmigen Regelspannung integriert.

Bei den niedrigen Frequenzen ist jedoch die Siebung noch nicht wirksam. Dort entstehen Störspitzen auf der Regelspannung mit einer Amplitude von:

$$U_{Regel} = \frac{Q}{C_s} = \frac{-250pAs}{0,22\mu F} = -1,14mV,$$

die mit der Zeitkonstante T des Tiefpasses:

$$T = R_e \cdot C_{44} = 7k\Omega \cdot 0,22\mu F = 1,54ms$$

gegen Nullpotential abklingen.

Erst wenn die Taktzeit der Ladungspumpe gleich oder kleiner als die Zeitkonstante des Siebgliedes ist, stellt sich durch die Integration eine gleichförmige Regelspannung ein. Für die Oszillatorfrequenz bedeutet dieses, daß die Regelung erst ab:

$$f_{osz} = 32/T = 32/1,32ms = 24kHz$$

wirksam wird.

Die kurzzeitig auftretenden Schaltspitzen haben ihre maximale Amplitude bei der kleinsten Ausgangsfrequenz, also bei 1Hz Oszillatorfrequenz, werden mit steigender Frequenz kleiner. Sie werden weiterhin im Gegenkopplungszweig des Servoverstärkers (V1 im Blockschaltbild Abschn. 2.4) unterdrückt.

Die von dem f/U-Umsetzer gewonnene Regelspannung wird von dem nichtinvertierenden Servoverstärker auf die Basis des Entladetransistors des Oszillators geschaltet und steuert diesen zu. (s. Gesamtschaltung Abschn.3.5) Infolgedessen sinkt die Ausgangsfrequenz, die Regelspannung wirkt dem Anstieg der Oszillatorfrequenz entgegen.

3.3 Regelverstärker

Der Regelverstärker V1 (Bild 2.4.1 und Bild 3.5.1) hat die Aufgabe, das Differenzsignal aus Regel- und Eingangsspannung zu verstärken und die Basis des Entladetransistors mit einer stabilen Spannung zu versorgen, damit dieser als Konstantstromsenke arbeiten kann. Der Regelverstärker muß also eine hohe Genauigkeit für statische Signale aufweisen.

Die Empfindlichkeit des Verstärkers folgt aus dem Arbeitsbereich des Umsetzers. Dieser verstellt mit 10V Eingangsspannung die Ausgangsfrequenz um 100MHz, die eine Empfindlichkeit des Verstärkers von 100nV/1Hz erfordert.

Damit die Empfindlichkeit von 100nV nicht im Rauschen verschwindet, ist eine extrem rauscharme Signalverarbeitung der Eingangsstufe notwendig. Dieses Die Eingangsspannung wird von einer thermischen Rauschspannung überlagert, die kleiner (Faktor 2, besser wäre Faktor 10) als die Eingangsempfindlichkeit des Verstärkers sein soll. Diese Rauschspannung berechnet sich nach:

$$\text{Gl. 3.3.1} \quad U_r = \sqrt{4 \cdot K \cdot T \cdot R \cdot \Delta f}$$

mit: K =Boltzmannkonstante= $1,38 \cdot 10^{-23}$ Ws/K
 T =Umgebungstemperatur (290K)
 $R=R_e$ =Eingangswiderstand (7kOhm)
 Δf =Bandbreite des Verstärkers

und wird daher im wesentlichen von den Eingangswiderständen und dem Servoverstärker verursacht.

Die erste Maßnahme der Rauschminderung ist die Verringerung des Eingangswiderstandes. Ein zu kleiner Eingangswiderstand belastet die treibende Schaltung zu stark, außerdem muß die interne Regelspannung

wesentlich größer werden, was größere Regelströme und längere Ladezeiten der Kondensatoren der Ladungspumpe zur Folge hat.

Die zweite Maßnahme ist die Verringerung der Bandbreite des Servoverstärkers V1. Die Folge hiervon ist die Verlängerung der Reaktionszeit des Umsetzers auf Änderungen des Eingangssignales.

In diesem Fall ergibt sich aus der Forderung $U_r=100\text{nV}$ für die Bandbreite:

$$f = \frac{(100\text{nV})^2}{4 \cdot 290\text{K} \cdot 7\text{k}\Omega \cdot 1,38 \cdot 10^{-23} \text{Ws/K}} = 89\text{Hz}$$

In diesem Fall ist das kleinste Nutzsignal genauso groß wie das Rauschsignal. Für eine saubere Funktion des Umsetzers bei 1Hz muß die Bandbreite weiter reduziert werden (Faktor 2 gewählt). Diese Reduktion wird mit einem Tiefpass aus R46 und C47 im Rückkopplungszweig des Servoverstärkers vorgenommen (s. Bild 3.3.1). Bei dessen Dimensionierung mit $C47=1\mu\text{F}$ und $R46=10\text{k}\Omega$ ergibt sich eine Grenzfrequenz von:

$$f_g = \frac{1}{2 \cdot \pi \cdot R \cdot C} = \frac{1}{2 \cdot \pi \cdot 10\text{k}\Omega \cdot 1\mu\text{F}} = 14\text{Hz}$$

mit einer Zeitkonstanten der Regelschleife von 600ms.
(Herstellerangabe /2/)

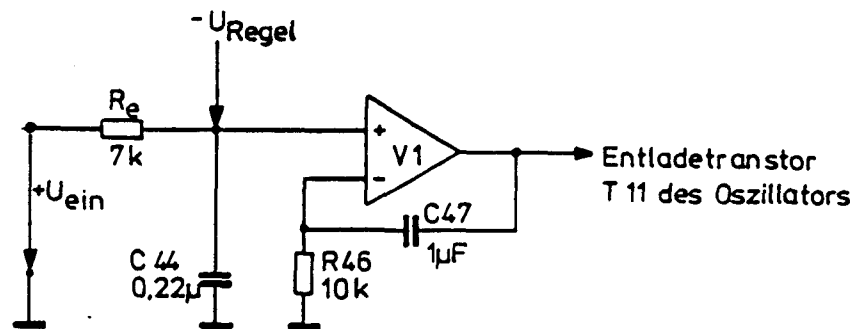


Bild 3.3.1 Servoverstärker V1

Wird die Grenzfrequenz durch die Wahl des Kompensationskondensators von $C_{47}=0,1\mu\text{F}$ auf 160Hz erhöht, so sinkt die Regelzeit auf 60ms ($\rightarrow /2/$), ein Betrieb des Umsetzers unter 10Hz ist jedoch infolge von Rauschen und Unstabilität in der Schleife nicht mehr möglich.

Der für diese Anforderung gewählte zerhacker-stabilisierte Operationsverstärker zeichnet sich besonders durch:

- geringe Offsetdrift ($0,05\mu\text{V/K}$)
- große Gleichtaktunterdrückung (120dB)
- thermische Stabilität (100nV/Monat)
- geringes Rauschen bei niedrigen Frequenzen (wegen Zerhackung)

aus. (s. Kap.6.1 Datenblatt LTC1052)

Bei diesem Verstärkertyp wird das Eingangssignal in einen Gleichanteil und einen Wechselanteil aufgespalten und getrennt verstärkt. Die Trennfrequenz liegt bei etwa 1...5Hz.

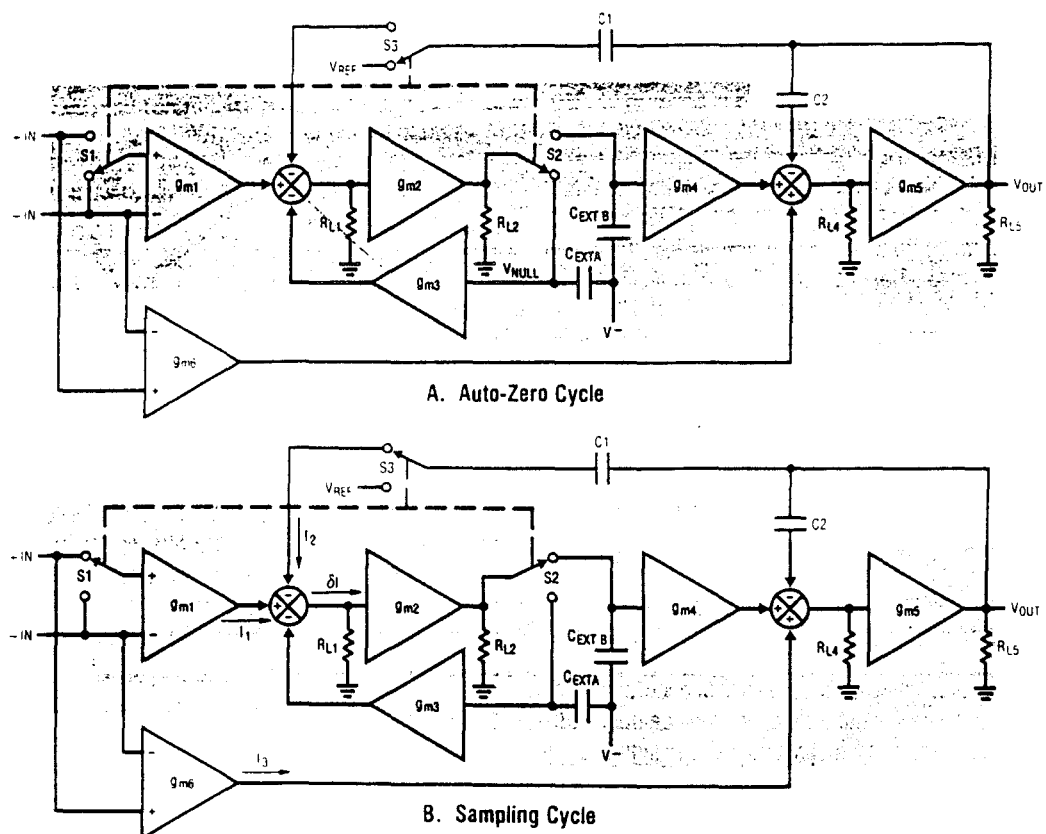


Figure 1. LTC1052 Block Diagram

Bild 3.3.2 Blockdiagramm LTC1043

Die höherfrequenten Signalanteile werden unbeeinflusst von gm_6 verstärkt (Bild 3.3.2). Der Gleichanteil wird vom Schalter S1 zerhackt, er wird mit der Chopperfrequenz von 330Hz moduliert. Diese Chopperfrequenz teilt den Arbeitsbereich des Verstärkers in zwei Intervalle, den selbstjustierenden Auto-Zero-Cycle und den Sampling-Cycle.

Während des Auto-Zero-Cycle wird der nichtinvertierende Eingang des gm_1 auf den invertierenden Eingang geschaltet.

Die beiden getrennten Eingangssignale werden auf zwei Operationsverstärker mit gleichen Verstärkungsfaktoren geschaltet. Die höherfrequenten Signalanteile werden von V_6 unbeeinflusst verstärkt. Der Gleichanteil wird vom Schalter S1 in einen selbstjustierenden "Auto-

Zero-Cycle" und einen speichernden "Sampling-Cycle" zerhackt. Während des "Auto-Zero-Cycle" werden die Eingänge von gm1 verbunden und das Nullpotential wird in der "Sample and Hold" - Kombination aus S2 und CEXTA gespeichert und wird zur Nullpunktkorrektur auf einen Summierpunkt in der Eingangsstufe rückgekoppelt.

Im "Sample Cycle" wird die Differenz der beiden Eingangssignale von V1 in der "Sample and Hold" - Kombination aus S2 und CEXTB gespeichert und über V4 auf den Ausgang geführt.

In der Ausgangsstufe wird der modulierte Gleichanteil wieder demoduliert und in einem Summierpunkt mit dem AC-Signalanteil addiert.

Durch die getrennte Signalführung sind die beiden Anteile unterschiedlich verstärkt worden, der Gleichanteil um 140dB und der Wechselanteil um 80dB.

Der Vorteil dieses Verfahrens ist das sämtliche statischen Störgrößen, außer Eingangsströmen und -fehlströmen, um die Differenz von 80dB verringert werden. Dieser Vorteil kommt durch das Zerhacken, denn im nachfolgenden Verstärker wird die Amplitude der zerhackten Signale verstärkt, der Gleichanteil dieses Signales fällt bei der anschließenden Demodulation wieder heraus.

3.4 Korrekturverstärker

Der U/f-Umsetzer benutzt zur Verbesserung der Stabilität und der Linearität zwei Korrekturverstärker.

Der erste, V2, bereitet das Eingangssignal für die Kapazitätsdiode, die den Integrationskondensator im Oszillator darstellt, auf, damit ein größerer Dynamikbereich erreicht wird. (s. Bild 3.4.1)

Bei der Kapazitätsdiode wird die Sperrschichtkapazität eines in Sperrrichtung betriebenen PN-Überganges einer Diode ausgenutzt. Die Kapazität berechnet sich nach:

$$\text{Gl. 3.4.1} \quad C = \epsilon \cdot \epsilon_r \cdot A / d$$

mit ϵ_r = rel. Dielektrizitätszahl

ϵ = Dielektrizitätskonstante

A = Fläche der Elektroden

d = Abstand der Elektroden

Die Kapazitätsverstellung der Diode wird über den Elektrodenabstand erreicht, d. h. einer Längenänderung der Sperrschicht. Hierbei bewirkt eine größere Sperrspannung eine kleinere Kapazität.

Bei dem gewünschten Anwendungsfall ist eine große Kapazität bei einer kleinen Eingangsspannung und eine kleine Kapazität bei einer großen Eingangsspannung gefordert. Desweiteren liegt die Kapazität am Ausgang eines ECL-Gatters, d. h. an einem mittleren Potential von +4,2V (s. Triggerschwelle Abschn. 3.1.2). Für die Diode bleibt da die Ansteuerung mit einer positiven oder negativen Spannung. Es wird die negative Spannung gewählt, weil hier der Spannungshub von 10V von einem Operationsverstärker aufgebracht werden kann, der mit einer Betriebsspannung von +5V arbeitet. Die Eingangsspannung steuert den Verstärker an seinem

invertierenden Eingang, damit eine größere Eingangsspannung eine höhere Sperrspannung zur Folge hat. Damit bei 0V Eingangsspannung auch die maximale Kapazität zur Verfügung steht, muß der Operationsverstärker mit einer negativen Spannung vorgespannt sein. Diese muß, damit die Diode nicht in Durchlassrichtung betrieben wird, kleiner als die kleinste Nutzamplitude des Oszillators sein. Nach Herstellerangaben sind die Kapazitätswerte der Diode für eine Sperrspannung von mindestens 1V gültig. Es wird +3V als Wert für die positivste Diodenspannung gewählt.

Als Nutzkapazität des Integrators wird die Sperrschichtkapazität einer Diode (D14) verwendet, deren Stellhub von 15...40pF mit einem Spannungshub von etwa 8V erreicht wird. Dies kann direkt mit der Eingangsspannung und dem Verstärkungsfaktor $V=-1$ von V_2 erreicht werden. Im dem Fall ist jedoch die kapazitive Last des ECL-Gatters bei Frequenzen $f > 50\text{MHz}$ zu groß, sodaß die minimale Kapazität schon früher erreicht werden muß. Die Verstärkung V wird durch das Verhältnis der Widerstände $R_1=16\text{k}\Omega$ und $R_3=30\text{k}\Omega$ auf

G1.3.4.2

$$-V = \frac{U_a}{U_e} = \frac{30\text{k}}{16\text{k}} = 1,9$$

festgelegt. Die Änderung der Kapazität folgt der Eingangsspannung bis $U_{\text{ein}}=+5\text{V}$, danach läßt die Begrenzung des Verstärkers durch die Betriebsspannung keine Änderung mehr zu. Der Oszillator wird nur noch von der Änderung des Entladetransistors beeinflusst.

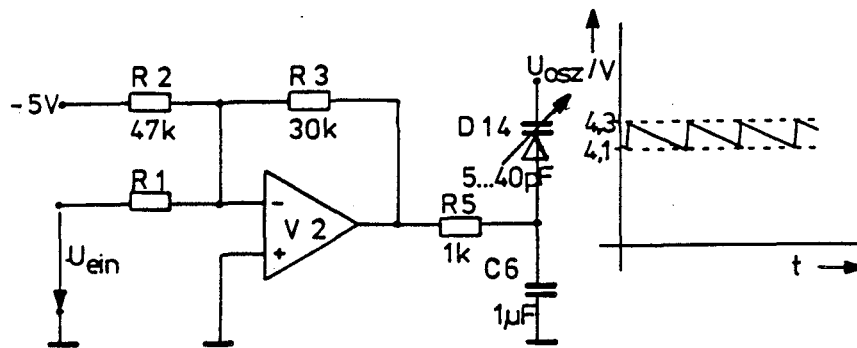


Bild 3.4.1 Diodentreiber V2

Der zweite Korrekturverstärker, V4, erzeugt eine zur Eingangsspannung proportionale Spannung zur Linearitätsnachstellung. Der Verstärker ist an seinem invertierenden Eingang beschaltet, die beiden gleichgroßen Widerstände von R52 und R53=10k0hm legen seine Verstärkung nach Gl.3.5.2 auf $V=-1$ fest. Auch hier begrenzt wie bei V2 die Betriebsspannung des Verstärkers die Ausgangsänderung ab $U_{ein}=+5V$.

Die Ausgangsspannung von V4 wird über das 50k0hm Potentiometer R54 an die Referenzspannung der Ladungspumpe geschaltet und beeinflusst im Verhältnis von Stellwiderstand R54 zum Entkopplungswiderstand R35=100 0hm die Spannung für die Ladungspumpe.

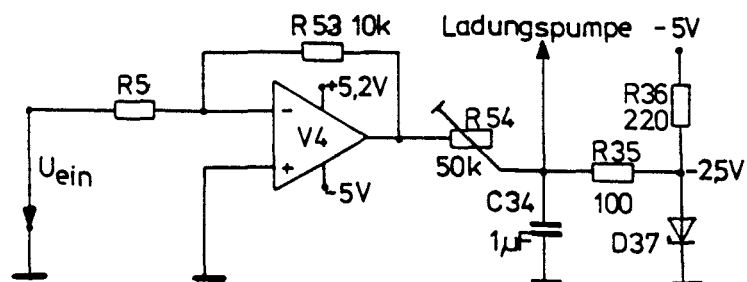
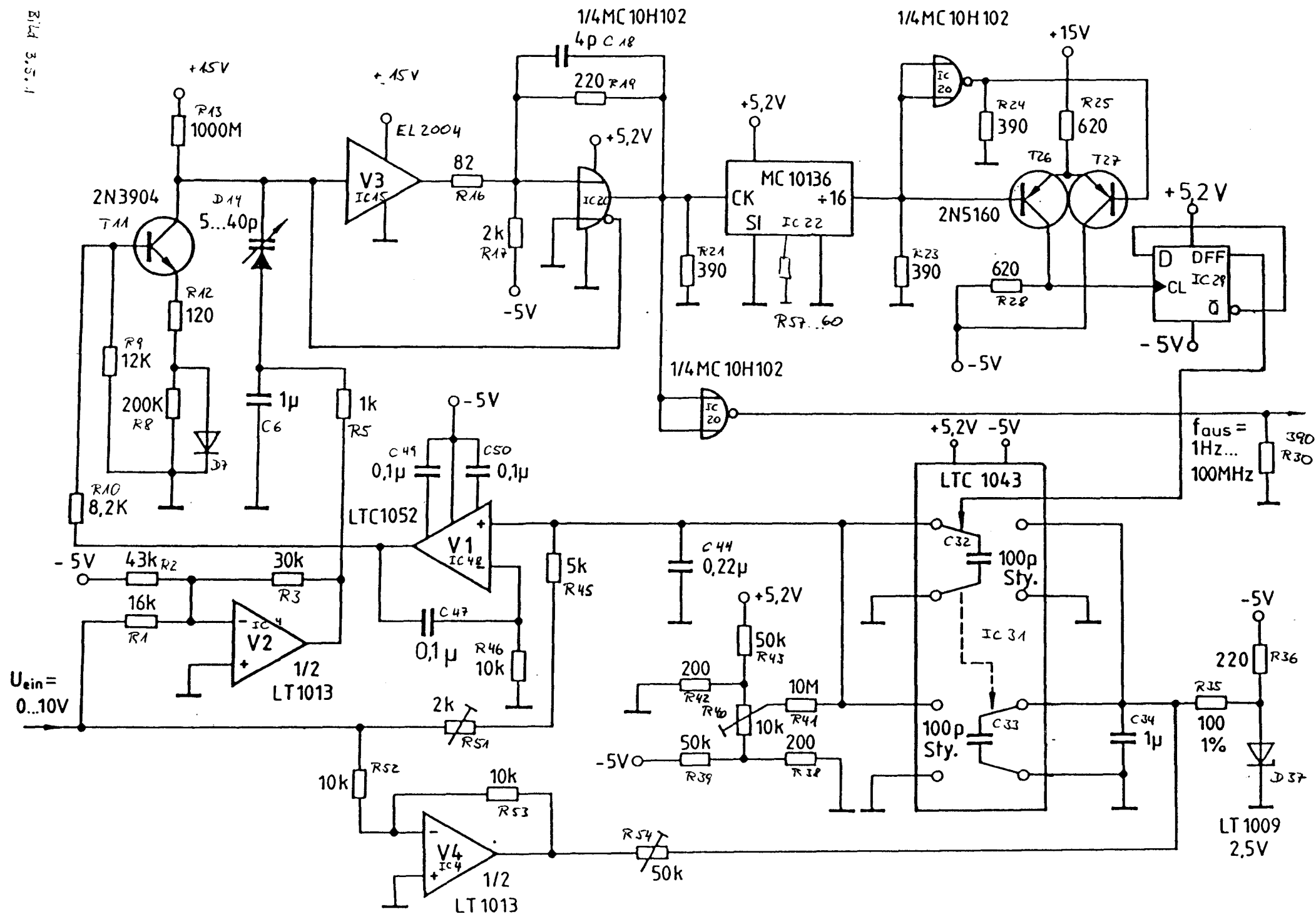


Bild 3.4.2 Linearitätsverstärker

Der Aufbau der Schaltung hat gezeigt, daß der Einfluß von V_4 auch bei $U_{\text{ein}} > +5\text{V}$ vorhanden sein muß. Durch Änderung von R_{53} auf $4,7\text{k}\Omega$ ist die Verstärkung von V_4 aus $V = -0,5$ festgelegt worden. Dadurch ist die Linearität der U/f -Kennlinie bei Frequenzen $f > 50\text{MHz}$ verbessert worden.

3.5 Gesamtschaltbild

In diesem Abschnitt wird das komplette Schaltbild des U/f -Umsetzers gezeigt.



4 Praktischer Aufbau

4.1 Wire - Wrap - Technik

Wire - Wrap ist eine schnelle, flexible, lötfreie Verbindungstechnik. Der Träger ist eine Platine (Board) aus Epoxidharz, auf der beidseitig Kupferbahnen für die Versorgungsspannung aufgebracht sind.

In einem europakartengroßen Wire-Wrap-Board stecken etwa 600 von einander isolierte Stifte im Abstand des Rastermaßes integrierter Schaltkreise. Die Bauelemente werden auf der Bestückungsseite in die Stifte gesteckt und auf der Unterseite werden die Verbindungen hergestellt, indem die Stifte mit einer Wickelmaschine mit isoliertem Draht umwickelt werden.

Vorteil der Wire-Wrap-Technik ist der kapazitäts-, induktivitäts- und Überkopplungsarme Aufbau.

Kapazitätsarm ist der Aufbau, weil die dünnen Verbindungsdrähte meist in der Luft, d. h. $\epsilon_r = 1$, und in relativ großem Abstand zur Massefläche verlegt sind.

Induktivitätsarm ist der Aufbau, weil die Bauelemente auf dem kürzesten Wege verbunden werden.

Überkopplungsarm ist der Aufbau, weil die Berührung der Signalleitungen zufällig und auf wenige Punkte beschränkt ist. Deshalb tritt kaum Übersprechen auf.

Ein weiterer Vorteil ist der einfache mechanische Aufbau der Schaltung. Die Bauteile sind, wie im Schaltbild gezeichnet, zu verbinden. Es ist kein aufwendiger, kreuzungsfreier Leiterplattenentwurf notwendig.

Der Aufbau des Umsetzers auf einem Wire-Wrap-Board hat die genannten Vorteile bestätigt. Der Umsetzer hat direkt nach verbinden der Bauteile bis etwa 35MHz einwandfrei funktioniert.

Für die weitere Untersuchung ist der Schaltkreis hinter dem Oszillator aufgetrennt worden und anstelle des Oszillatorsignales ein gleichwertiges Signal von einem Funktionsgenerator eingespeist worden. Die zeitunkritischen Stufen, wie Korrekturverstärker, Servoverstärker und Regelungsschleife funktionieren mit diesem Generatorsignal einwandfrei bis 50MHz. Höhere Frequenzen kann der verwendete Generator nicht erzeugen.

Daraufhin ist der Oszillator genauer untersucht worden. Es zeigt sich, daß der Oszillator auf einem Wire-Wrap-Board aufgebaut, keine höheren Frequenzen als etwa 35MHz erzeugen kann, weil das in dem Oszillator enthaltene Gatter zur Einhaltung seiner großen Flankensteilheit von ihm eine einwandfreie Betriebsspannung benötigt. Diese Forderung kann bei einem Aufbau auf einem Wire-Wrap-Board nicht genügend erfüllt werden, weil hier die Wege der Versorgungsspannung nicht kurz genug sein können.

Es treten Gleichstromwiderstände und Induktivitäten auf, die sich leicht zu nicht mehr akzeptierbaren Werten aufsummieren. Eine niedrige Impedanz nach Masse ist nicht mehr gewährleistet, sodaß ein Abblocken der Schwingneigung auf den Versorgungsleitungen mit Kondensatoren kaum Erfolge erzielen.

Für den Oszillator erscheinen diese Effekte wie eine zu hohe kapazitive Belastung an dem Ausgang des ECL-Gatters (nach Abschätzung, s. Abschn 4.4, etwa 100pF), die die Signallaufzeit durch das Gatter und die Flankensteilheit dieses Signales am Ausgang des Gatters negativ beeinflussen, sodaß bei diesem Aufbau keine höhere Frequenz zu erreichen ist. (Vergl. Abschn. 2.3)

Fazit:

Wire-Wrap-Boards sind zum Aufbau von Schaltungen, deren Bauelemente Anstiegszeiten kleiner 3ns aufweisen, nicht zu gebrauchen. Hier sind die parasitären Effekte des Aufbaues wie:

- Induktivität der Zuleitungen
- Gleichstromwiderstand der Zuleitungen
- Störanfälligkeit wegen zu kleiner Massefläche

nicht mehr zu vernachlässigen und durch Abblockmaßnahmen verhindern.

Es ist also sinnvoll, den Umsetzer auf eine doppelseitig mit Kupfer kaschierte Platine zu löten, deren Entwurf den Kriterien des HF - Aufbaues genügt.

4.2 Gedruckte Schaltungstechnik

Die Technik der "Offenen Streifenleitung", auch Microstrip genannt, benutzt als Trägermaterial für die elektrischen Bauelemente eine Platte (Platine) aus dielektrischem Material, die beidseitig mit Kupfer beschichtet ist. Die eine Seite der Platine ist großflächig als Masse ausgelegt, auf der anderen Seite werden die Leiterbahnen aufgedruckt. Die parallele 2-Leiteranordnung bedingt die Führung der Welle und sorgt für einen definierten Wellenwiderstand.

Die Welle wird vorwiegend im Dielektrikum zwischen Leiterbahn und Massefläche geführt und erhält dadurch TEM (transversal-elektro-magnetisch) ähnlichen Charakter.

Die Vorteile sind geringe Abstrahlung der HF - Energie und die einfache und preiswerte Herstellbarkeit der Platine.

/10/

Bei der Frequenz von 100MHz ist jedoch nicht die Art der Wellenführung entscheidend, sondern mehr die Eigenschaften, die sich daraus für den Schaltungsaufbau ergeben.

Die große Massefläche sorgt für niedrige Impedanz zur Masse und eine Abschirmung gesamten Aufbaues. Dieses verringert Störungen von Außen, aber auch Schwingneigungen, die durch induktive oder kapazitive Kopplungen der Bauteilanschlüsse entstehen. Durch die kurzen Massewege sind die Störungen geringer und können direkt am Entstehungsort durch einen Abblockkondensator verhindert werden.

Der definierte Wellenwiderstand sorgt zusammen mit einem geeigneten "Pull-Down" - Widerstand am Eingang nachfolgender Schaltelemente für geringe Reflexionen auf den Leitungen und verringert Impulsverzerrungen.

Der Wellenwiderstand der Streifenleitung kann im Bereich von etwa 20 ... 150 Ohm durch Variation der Parameter (s. Bild 4.2.1):

/9/

- rel. Dielektrizitätszahl ϵ_r
- Substratsdicke h
- Leiterbahnbreite w

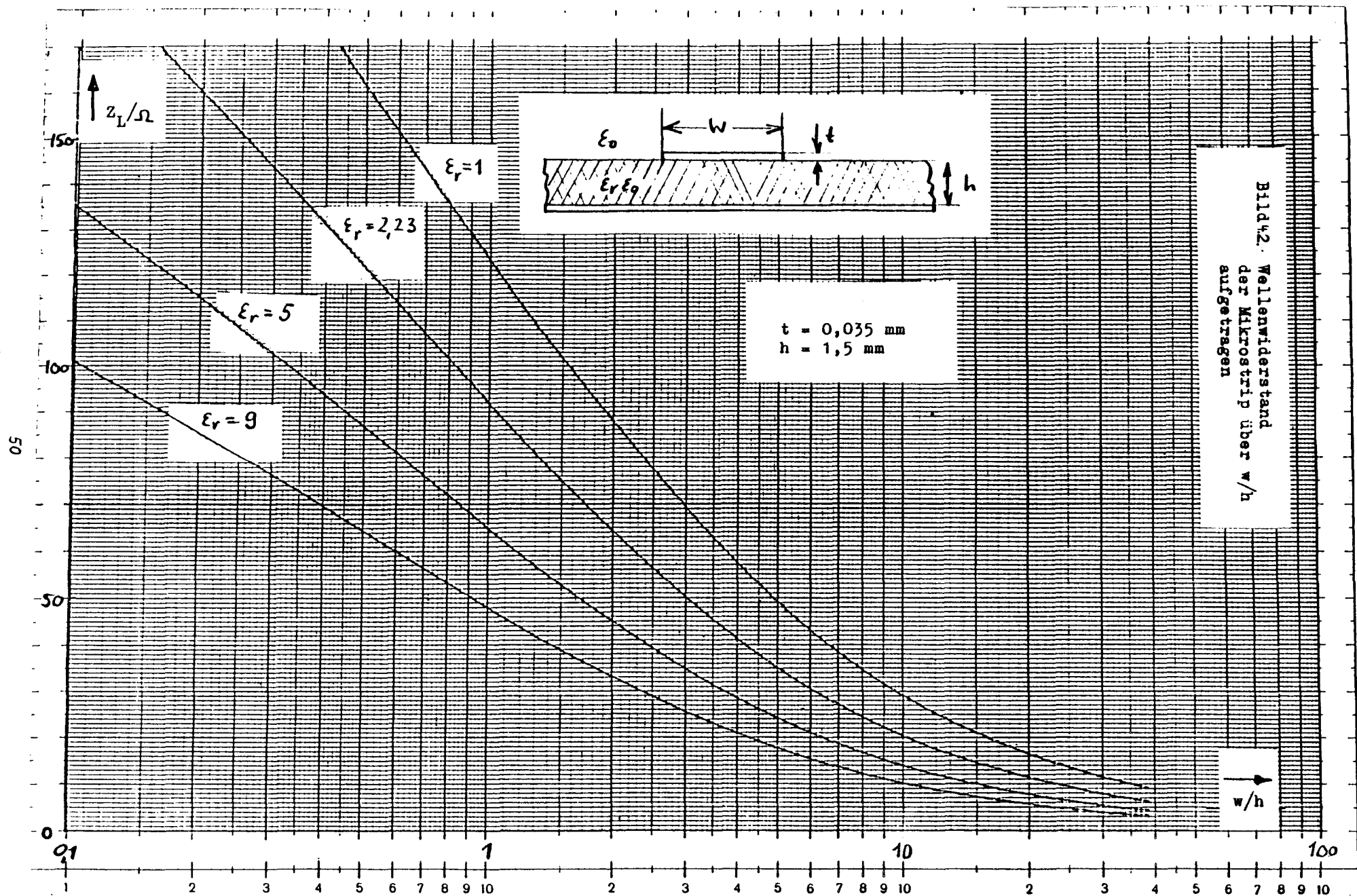
gewählt werden.

Für den Aufbau der Schaltung wird eine Leiterplatte aus Epoxidharz mit folgenden Daten verwendet:

- rel. Dielektrizitätszahl $\epsilon_r = 5$
- Substratdicke $h = 1,5 \text{ mm}$
- Kupferstärke $t = 35 \mu\text{m}$

Als Leiterbahndicke wird $w = 1 \text{ mm}$ gewählt, was einem Wellenwiderstand von $Z = 80 \text{ Ohm}$ entspricht.

Dies ist eine Kompromisslösung, denn der Wellenwiderstand von $Z = 390 \text{ Ohm}$ ist wegen der geringen Leiterbahndicke nicht realisierbar.



4.3 Meßtechnik

Um der Aufgabenstellung (Abschn 1.1) dieser Arbeit gerecht zu werden, wird die Meßtechnik unter 2 Kriterien zusammengestellt.

Für den Aufbau genügen zweckmäßige Standardlabormeißgeräte mit einfacher Handhabung.

Die Überprüfung der Eigenschaften des Umsetzers erfordert hochgenaue Meßgeräte, die u. U. nicht einfach einsetzbar sind, weil für die genauen Meßwerte eine exakte Fehlerabschätzung vorgenommen werden muß.

Die Überprüfung der grundsätzlichen Funktion der einzelnen Schaltstufen des Umsetzers ist bei der Verwendung der geeigneten Meßgeräte ohne Weiteres möglich. Es werden 4 Gerätetypen benötigt:

- ein Vielfachmeßgerät (Fluke 77)
- eine Steuerspannungsquelle (R&S NTG 7)
- ein Funktionsgenerator (HP 4118)
- ein Oszilloskop (Tektronix 2642)

Das Vielfachmeßgerät dient der Überprüfung der Gleich- und Regelspannungen und genügt den üblichen Genauigkeitsanforderungen im Labor.

Die Steuerspannungsquelle von R&S stellt die variable Spannung zur Verfügung, die der Umsetzer in die Ausgangsfrequenz überführt. Die Quelle ist mit Mehrgangpotentiometer einstellbar und besitzt die für die Funktionsprüfung genügende Einstellgenauigkeit.

Der Funktionsgenerator soll die Teilerkette und den f/U -Umsetzer überprüfen und muß deshalb ECL-Pegel erzeugen können. Die maximale Ausgangsfrequenz des Generators beträgt 50MHz und genügt für die prinzipielle Funktionsprüfung.

Das Oszilloskop soll das Ausgangssignal des Oszillators anzeigen, der ein Rechtecksignal von 100MHz erzeugt. Da in dem Signal wegen der steilen Flanken des Rechteckes höherfrequente Anteile enthalten sind, muß die Grenzfrequenz des Oszilloskops um einiges größer als 100MHz sein, damit die Signalform nicht von Oszilloskop falsch angezeigt wird. Es ist der Tektronix 2642 mit einer Grenzfrequenz von 300MHz gewählt worden. Dieses Oszilloskop besitzt zwei Marken, die frei im Bildschirm verschiebbar sind. Ein im Gerät eingebauter Rechner bestimmt wahlweise Spannung, Zeit oder Frequenz zwischen den beiden Marken. Aus diesem Grund kann auf einen 100MHz-Zähler verzichtet werden.

Die Ergebnisse des Meßprotokolls (Abschn.4.3.1) zeigen, daß es eine genügend feine Einstellung (etwa 1mV) zuläßt. Eine genauere Einstellung bzw. Messung der Eingangsspannung ist mit dem verwendeten Meßaufbau nicht sinnvoll, denn Störeinflüsse, wie Rauschen oder Brummspannung des Netzgerätes, sowie die Übergangswiderstände der Mess- und Versorgungsleitungen, liegen in dieser Größenordnung.

Die Eingangsspannung ist nicht genau bekannt und die erwartete Linearitätsabweichung des aufgebauten Gerätes ist wesentlich größer als die Herstellerangabe (0,06%). Es wird auf einen genauen Zähler verzichtet.

Die Zeitbasis des Oszilloskopes hat eine Anzeige von 3 Stellen. Daraus folgt eine "Meßunsicherheit" von 1% der jeweils eingestellten Zeitbasis.

Die größere Meßunsicherheit wird von dem Ablesefehler verursacht. Die Darstellung auf dem Bildschirm unterliegt keinem "paralaxen Fehler" wie bei Zeigerinstrumenten, da die Anzeige des Signals und der Zeiger direkt aufeinanderliegen. Es tritt eine Strahlunschärfe auf. Dieser Fehler ist bei 100MHz am Größten, weil hier

die Ausgangspulse am Breitesten sind und keine schnellere Zeitablenkung gewählt werden kann. Die in Abschn. 4.3.2 gezeigten Bildschirmfotos verdeutlichen dieses Problem. Es erscheint aber ein größerer Fehler, da wegen kurzer Belichtungszeiten und der Filmempfindlichkeit die Strahlintensität größer als bei der Messung eingestellt werden muß. Bei der Messung ist der Strahl etwa halb so breit wie auf den Fotos, die Meßunsicherheit durch die Strahlunschärfe liegt bei etwa 2% der Anzeigeauflösung.

Die Grenzen der Meßunsicherheit hängen von folgenden Faktoren ab (steigende Fehler):

- Einstellgenauigkeit der Steuerspannung
- Anzeigeauflösung der Zeitbasisanzeige
- Strahlunschärfe.

Geeignete schnelle Zähler weisen kleinere Fehler auf. Diese messen bei 10ns Pulsfolge nicht mehr die Zeit zwischen den Pulsen, sondern innerhalb einer bestimmten Torzeit (1µs) die einfallenden Pulse. Es wird also die Summe von Pulsen gezählt, der Fehler hängt von der Langzeitkonstanz der Pulsfolgen ab.

Für den hier betrachteten Umsetzer bedeutet dieses, daß nicht nur der Umsetzfehler erfaßt wird, sondern auch die Stabilität der Steuerquelle und der Regelschleife. Der Fehler wird bei 2% liegen.

Dieses Meßverfahren liefert auch keine genaueren Ergebnisse wie das o.a. Verfahren.

Genauere Untersuchungen über die weiteren Eigenschaften des Umsetzers wie Drift und Temperaturstabilität werden nicht angestellt. Die Optimierung des Meßfehlers und dessen Abschätzung übersteigt den Rahmen diese Arbeit.

Für die Bestimmung der Linearität wird folgender Meßaufbau verwendet (Bild 4.3.1):

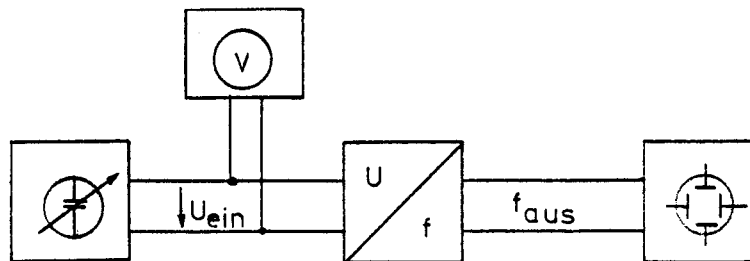


Bild 4.3.1 Meßaufbau für Linearität

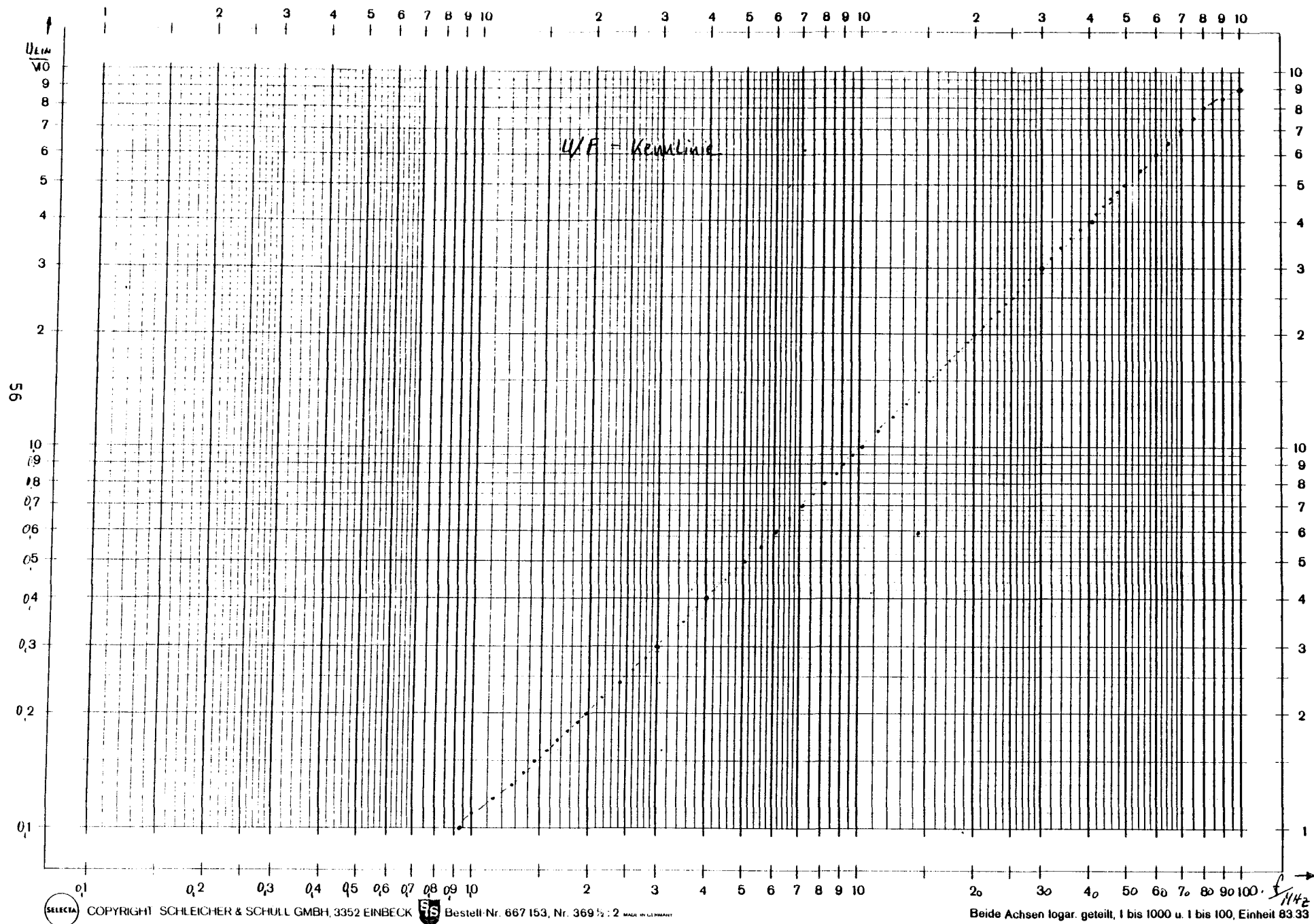
Die Steuerspannung des U/f-Umsetzers wird am Netzgerät auf 3 Nachkommastellen genau eingestellt und die Frequenz wird auf dem Oszilloskop abgelesen. (s. Bildschirmfotos in Abschn 4.3.2)

Die genauen Meßergebnisse und das Diagramm der U/f-Kennlinie sind im Abschn 4.3.1 aufgeführt.

4.3.1 Meßprotokoll

U _{ein} /V	f/MHz	U _{ein} /V	f/MHz
0,010	0,00275	2,000	20,3
0,020	0,100	2,100	21,2
0,030	0,210	2,200	22,1
0,040	0,310	2,300	23,2
0,050	0,415	2,400	24,1
0,060	0,520	2,500	25,1
0,070	0,620	2,600	25,9
0,080	0,730	2,700	27,0
0,090	0,830	2,800	28,1
0,100	0,940	2,900	29,0
0,110	1,00	3,000	30,0
0,120	1,14	3,200	31,9
0,130	1,25	3,400	33,9
0,140	1,35	3,600	36,0
0,150	1,45	3,800	38,0
0,160	1,56	4,000	40,3
0,170	1,66	4,200	41,9
0,180	1,76	4,400	43,7
0,190	1,86	4,600	45,8
0,200	1,98	4,800	47,7
0,220	2,17	5,000	49,6
0,240	2,40	5,200	52,0
0,260	2,60	5,400	53,9
0,280	2,80	5,600	55,5
0,300	3,00	5,800	57,3
0,350	3,52	6,000	59,7
0,400	4,02	6,250	62,3
0,450	4,55	6,500	64,6
0,500	5,05	6,750	67,2
0,550	5,58	7,000	70,1
0,600	6,10	7,250	72,2
0,650	6,61	7,500	75,3
0,700	7,14	7,750	78,5
0,750	7,63	8,000	81,5
0,800	8,15	8,250	85,7
0,850	8,68	8,500	89,8
0,900	9,15	8,750	95,0
0,950	9,69	9,000	102
1,000	10,2	9,500	123
1,100	11,2		
1,200	12,2		
1,300	13,2		
1,400	14,3		
1,500	15,2		
1,600	16,2		
1,700	17,3		
1,800	18,3		
1,900	19,2		

* Wert bei U_{ein}=9,500V ist Resonanz des Umsetzers



COPYRIGHT SCHLEICHER & SCHULL GMBH, 3352 EINBECK  Bestell-Nr. 667 153, Nr. 369 1/2 : 2 MADE IN GERMANY

Beide Achsen logar. geteilt, 1 bis 1000 u. 1 bis 100, Einheit 8333 $\frac{1}{1142}$

4.3.2 Oszillogramme

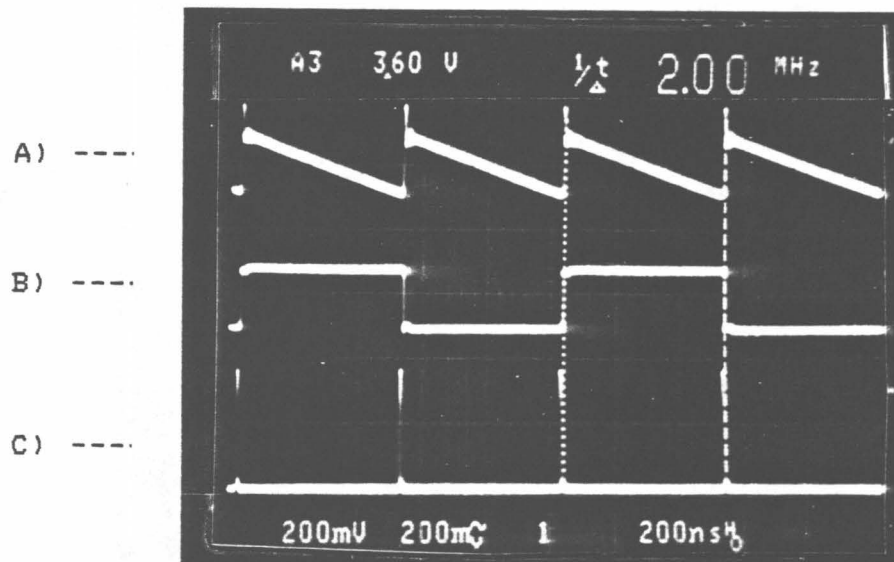


Foto 1 $f=2\text{MHz}$

- | | |
|-----------------------------------|----------|
| A) Rampe des Oszillators an D14 | AC; 0,2V |
| B) 1. Teilerstufe (Oszillator/2) | AC; 1V |
| C) Ausgangssignal des Oszillators | AC; 0,2V |

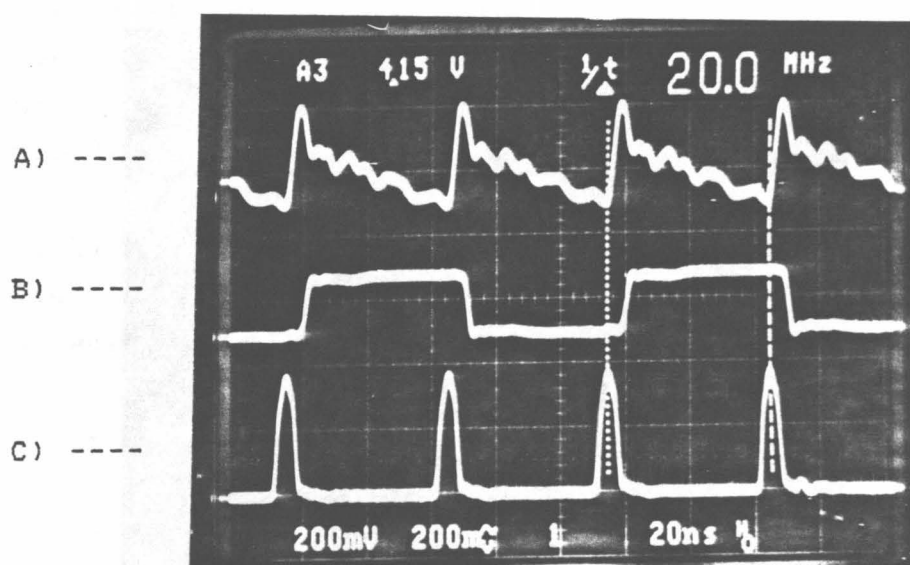


Foto 2 $f=20\text{MHz}$

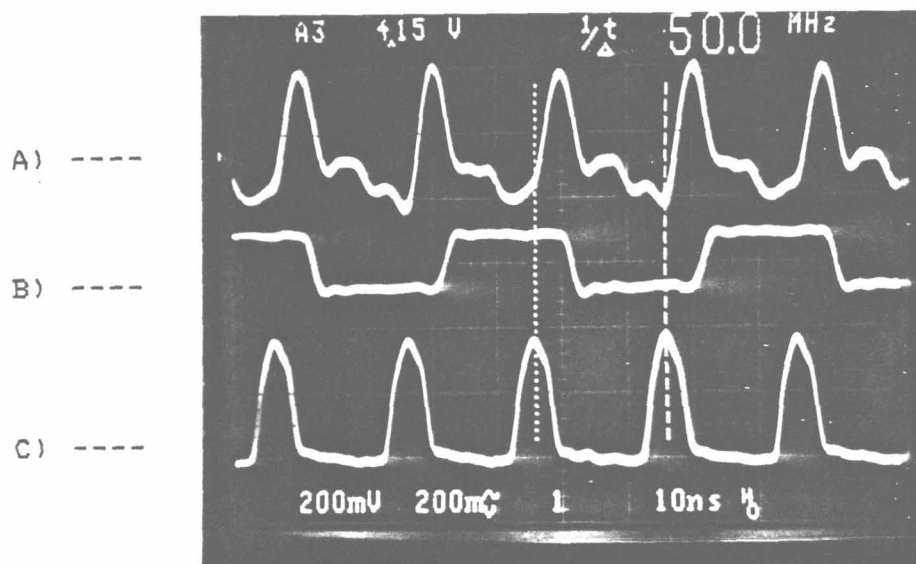


Foto 3 $f=50\text{MHz}$

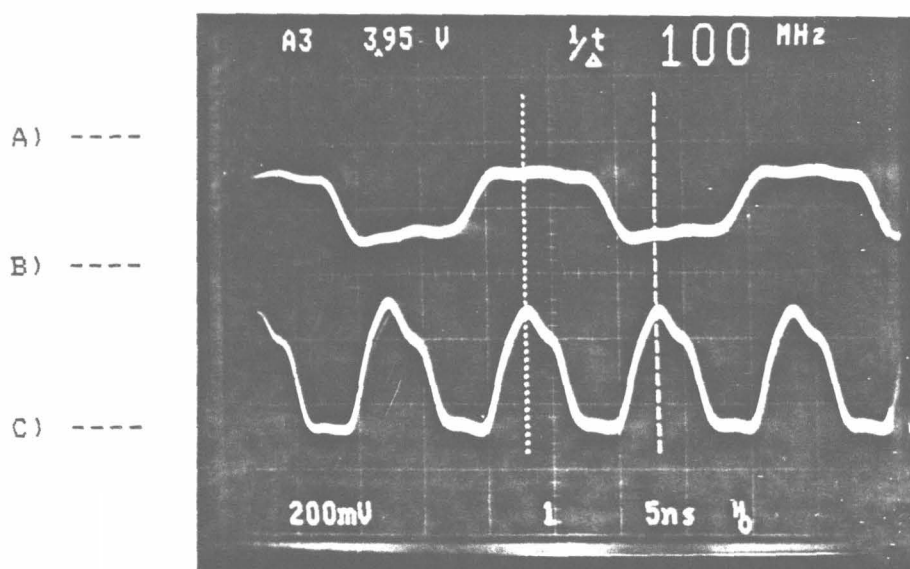


Foto 4 $f=100\text{MHz}$

5 Abschließende Betrachtung

Der U/f-Umsetzer ist nach einer Applikation der Fa. Linear Technology Corporation aufgebaut worden, die sehr hohe Eigenschaften des Gerätes vorgegeben hat. Bei dem Aufbau sind 2 grundsätzliche Probleme aufgetreten:

- a) Erreichen der oberen Oszillatorfrequenz $f=100\text{MHz}$
- b) Linearisierung der U/f-Kennlinie

Zu a)

Die obere Oszillatorfrequenz $f=100\text{MHz}$ ist nicht direkt erreicht worden. Gründe dafür sind:

- falsche Verdrahtungstechnik (Wire-Wrap)
- falsche Bauteile (zu große Signalverzögerung und zu geringe Grenzfrequenz)
- mangelhafte Abblockmaßnahmen

Erst nachdem genügend schnelle Bauteile auf einem "HF"-gerechtem Aufbau auf einer Platine mit durchgehender Massefläche durchgeführt worden ist und die Störungen auf der Versorgungsspannung an fast jedem Bauelement mit Kondensatoren stark verringert worden sind, ist der Arbeitsbereich des Oszillators von 1Hz bis 100MHz möglich.

Zu b)

Die Nichtlinearität der U/f-Kennlinie hat zwei Ursachen:

- die Stromsenke des Integrators arbeitet bei niedrigen Frequenzen im nichtlinearen Bereich
- die Regelschleife zur Kompensation dieser Nichtlinearität hat fast lineares Verhalten

Zur vollständigen Ausregelung des Linearisierungsfehlers ist die Anpassung der Regelkennlinie an die Übertragungskennlinie des Oszillators in der Weise notwendig, daß die Überlagerung beider Kennlinien eine Gerade ergibt.

Die Schaltung gewährleistet die Anpassung dieser Kennlinien nicht; die angegebenen Eigenschaften können somit nicht erreicht werden.

Die folgende Tabelle stellt Applikationsvorgaben und von der Schaltung erreichten Werte gegenüber.

	Vorgabe	Erreichte Werte
Eingangshub	0...10V	0...10V
Ausgangshub	1Hz...100MHz	1Hz...100MHz
Linearität	0,06%	verschieden

Die Linearität ist verschieden, da die Abweichung im unteren Bereich $U_{\text{ein}} < 1\text{V}$ und im oberen Bereich $U_{\text{ein}} > 7\text{V}$ $> 10\%$ wird. Dazwischen beträgt der Fehler 1%.

Die Nullpunktdrift von 50nV/K (s. Abschn. 2.1) hängt von dem verwendeten Servoverstärker V1 ab und ist nicht überprüft worden, da der notwendige Meßaufwand den Rahmen der Arbeit übersteigt.

Der Temperaturkoeffizient der Regelung von 25ppm/K kann nicht erreicht werden, weil die benötigten Bauteile Spezialanfertigungen und nur in großen Stückzahlen erhältlich sind.

Der praktische Einsatz des Umsetzers ist nur in ganz wenigen Anwendungen sinnvoll. Die theoretische

Verstellmöglichkeit der Ausgangsfrequenz um 1Hz setzt wegen der Eingangsänderung um 0,1uV eine hochauflösende Spannungsquelle voraus, deren Schwankungen (thermische Drift, Brumm) $< 0,1\mu\text{V}$ sind.

Das Ausgangssignal wird über die 50 Ohm Koaxleitung pegelversetzt und steht nur als Puls von etwa 4ns Dauer mit einer Amplitude mit 0,5V zur Verfügung. Zur weiteren Verarbeitung muß das Signal in einer Pegelwandlerstufe wieder generiert werden. Wegen der kurzen Pulsdauer benötigt es auch bei niedrigen Frequenzen schnelle Eingangsstufen.

Die Frage nach der Pegelgenerierung im Umsetzer selbst ist nicht in dieser Arbeit geklärt worden, da zum Zeitpunkt der Fertigstellung noch keine weiterführenden Geräte vorhanden sind und keine Aussage über die Pegel gemacht worden ist.

6 Anhang

Im Anhang sind:

- die Liste der verwendeten Bauteile
- der Bestückungsplan
- das Platinenlayout
- die Auszüge aus Datenblättern

enthalten.

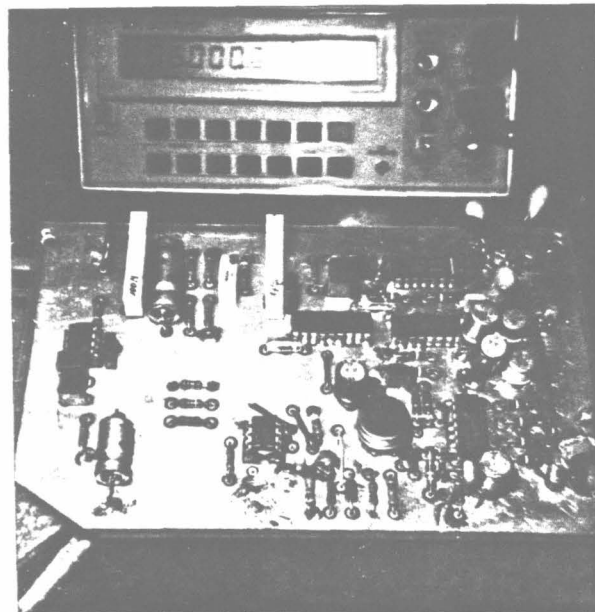


Foto 5: Der U/f-Umsetzer auf dem "Microstrip-Board" aufgebaut

6.1 Bauteil - Liste

Halbleiter:

Bez.	Wert	Kommentar
IC 4	LT 1013	2-fach Operationsverstärker
IC 15	LH 0033	Buffer-Operationsverstärker
IC 20	MC10H102	4-fach ECL-NOR Gatter
IC 22	MC 10136	ECL-Sedezimalzähler
IC 29	CD 4013	2-fach CMOS D-Flip Flop
IC 31	LTC 1043	CMOS Schalterbaustein
IC 48	LTC 1052	Chopperstabilisierter OP
T 11	2N3904	Transistor
T 26	2N5160	Transistor
T 27	2N5160	Transistor
D 7	2N4007	Diode
D 14	BB113	Kapazitätsdiode
D 37	LT1009	Z-Diode

Widerstände:

Bez.	Wert	Kommentar
R 1	16kOhm	Widerstand
R 2	43kOhm	Widerstand
R 3	30kOhm	Widerstand
R 5	1kOhm	Widerstand
R 8	200 Ohm	Widerstand
R 9	12kOhm	Widerstand
R 10	8.2kOhm	Widerstand
R 12	120 Ohm	Widerstand
R 13	100M0hm	Widerstand
R 16	82 Ohm	Widerstand
R 17	2kOhm	Widerstand
R 19	220 Ohm	Widerstand
R 21	390 Ohm	Widerstand
R 23	390 Ohm	Widerstand
R 24	390 Ohm	Widerstand
R 25	620 Ohm	Widerstand
R 28	620 Ohm	Widerstand
R 30	50 Ohm	Widerstand
R 35	100 Ohm	Widerstand, 1% Toleranz
R 36	220 Ohm	Widerstand
R 38	200 Ohm	Widerstand
R 39	50kOhm	Widerstand
R 40	10kOhm	Spindelpotentiometer
R 41	10M0hm	Widerstand
R 42	50 Ohm	Widerstand
R 43	200 Ohm	Widerstand
R 45	5kOhm	Widerstand
R 46	10kOhm	Widerstand

Bez.	Wert	Kommentar
R 51	2kOhm	Spindelpotentiometer
R 52	10kOhm	Widerstand
R 53	10kOhm	Widerstand
R 54	50kOhm	Spindelpotentiometer
R 57	390 Ohm	Widerstand
R 58	390 Ohm	Widerstand
R 59	390 Ohm	Widerstand
R 60	390 Ohm	Widerstand

Kondensatoren:

Bez.	Wert	Kommentar
C 6	1uF	Folienkondensator
C 18	4pF	Keramikkondensator
C 32	200pF	Styroflexkondensator
C 33	200pF	Styroflexkondensator
C 34	1uF	Folienkondensator
C 44	0,22uF	Folienkondensator
C 47	1uF	Folienkondensator
C 49	0,1uF	Folienkondensator
C 50	0,1uF	Folienkondensator
C 55	10nF	Keramikkondensator *4
C 56	10uF	Elektrolytkondensator *4
C 57	10nF	Folienkondensator *5
C 58	10uF	Elektrolytkondensator *1
C 59	10nF	Keramikkondensator *
C 60	10uF	Elektrolytkondensator *2
C 61	10nF	Keramikkondensator *2
C 62	0,1uF	Elektrolytkondensator *3
C 63	10pF	Elektrolytkondensator *3

*1 Lokale Abblockkombination am ECL-Baustein MC10H102

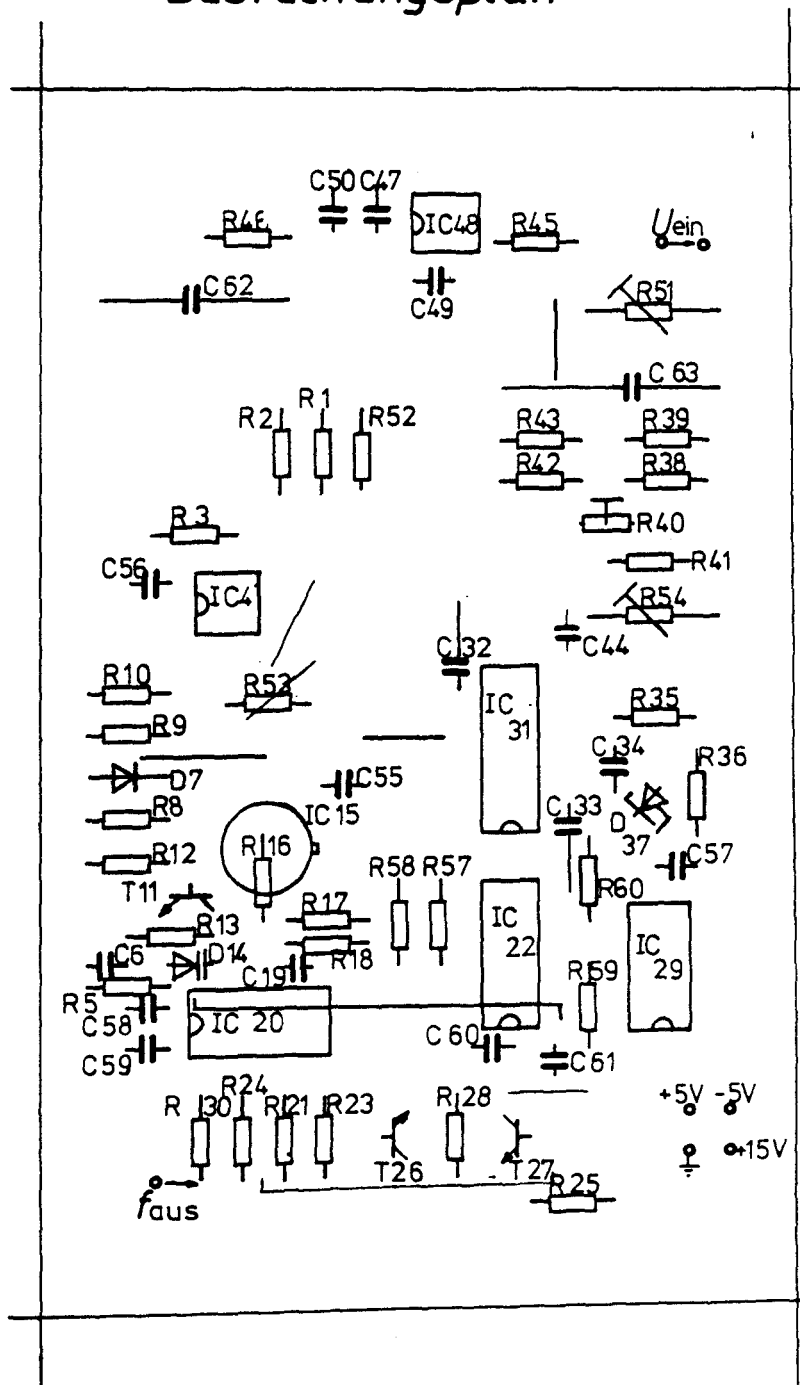
*2 Lokale Abblockkombination am ECL-Baustein MC10136

*3 Siebkondensatoren auf der Platine

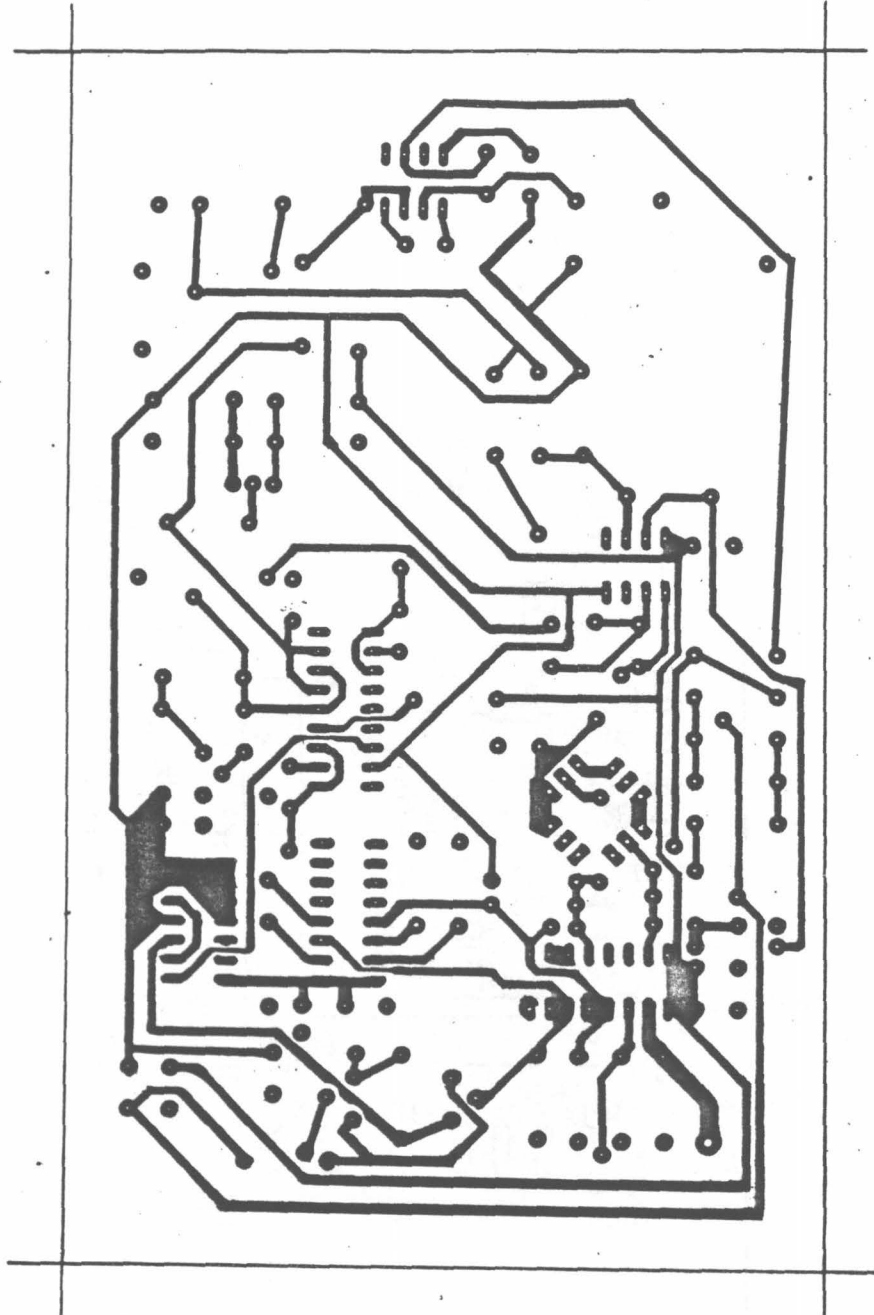
*4 Lokale Abblockkombination am Bufferverstärker

*5 Abblockmaßnahme an -5V

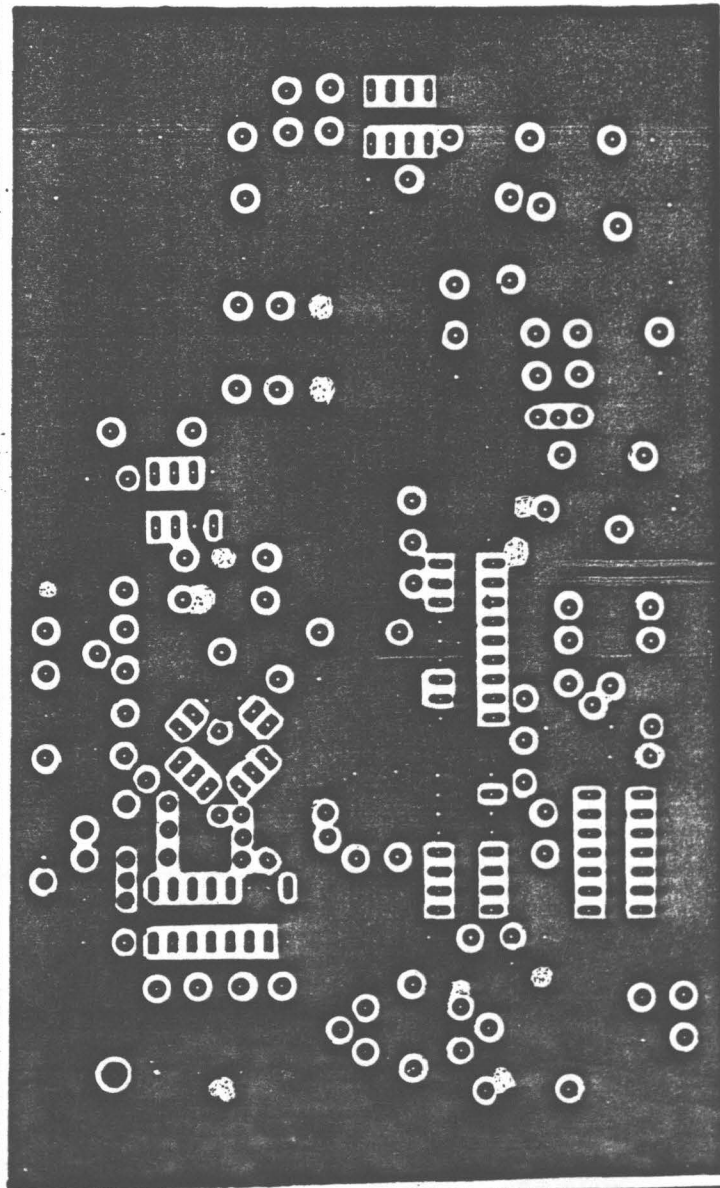
Bestückungsplan



Lötseite



Bestückungsseite



6.3 Datenblätter

LT	1013	2-fach Operationsverstärker
MV	209	Kapazitätsdiode
EL	2004	Entkoppelverstärker
LH	0033	Entkoppelverstärker
MC10H102		4-fach ECL-NOR Gatter
MC	10136	ECL-Sedezimalzähler
CD	4013	2-fach CMOS D-Flip Flop
LTC	1043	CMOS Schalterbaustein
LTC	1052	Chopperstabilisierter OP
LT1009		Z-Diode

Quad Precision Op Amp (LT1014)
Dual Precision Op Amp (LT1013)

FEATURES

- **Single Supply Operation**
 - Input Voltage Range Extends to Ground
 - Output Swings to Ground while Sinking Current
- **Pin Compatible to 1458 and 324 with Precision Specs**
- *Guaranteed* Offset Voltage 150 μ V Max.
- *Guaranteed* Low Drift 2 μ V / °C Max.
- *Guaranteed* Offset Current 0.8nA Max.
- *Guaranteed* High Gain
 - 5mA Load Current 1.5 Million Min.
 - 17mA Load Current 0.8 Million Min.
- *Guaranteed* Low Supply Current 500 μ A Max.
- Low Voltage Noise: 0.1 Hz to 10Hz 0.55 μ Vp-p
- Low Current Noise—Better than OP-07: 0.07 pA / $\sqrt{\text{Hz}}$

APPLICATIONS

- Battery-Powered Precision Instrumentation
 - Strain Gauge Signal Conditioners
 - Thermocouple Amplifiers
 - Instrumentation Amplifiers
- 4mA–20mA Current Loop Transmitters
- Multiple Limit Threshold Detection
- Active Filters
- Multiple Gain Blocks

DESCRIPTION

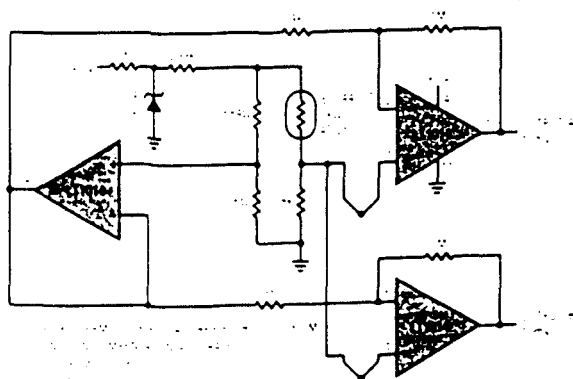
The LT1014 is the first precision quad operational amplifier which directly upgrades designs in the industry standard 14-pin DIP LM324/LM348/OP-11/4156 pin configuration. It is no longer necessary to compromise specifications, while saving board space and cost, as compared to single operational amplifiers.

The LT1014's low offset voltage of $50\mu\text{V}$, drift of $0.3\mu\text{V}/^\circ\text{C}$, offset current of 0.15nA , gain of 8 million, common-mode rejection of 117dB, and power supply rejection of 120dB qualify it as four truly precision operational amplifiers. Particularly important is the low offset voltage, since no offset null terminals are provided in the quad configuration. Although supply current is only $350\mu\text{A}$ per amplifier, a new output stage design sources and sinks in excess of 20mA of load current, while retaining high voltage gain.

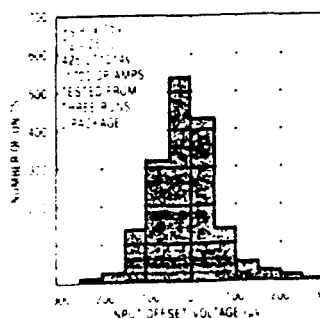
Similarly, the LT1013 is the first precision dual op amp in the 8-pin industry standard configuration, upgrading the performance of such popular devices as the MC1458/1558, LM158 and OP-221. The LT1013's specifications are similar to (even somewhat better than) the LT1014's.

Both the LT1013 and LT1014 can be operated off a single 5V power supply: input common-mode range includes ground; the output can also swing to within a few millivolts of ground. Crossover distortion, so apparent on previous single-supply designs, is eliminated. A full set of specifications is provided with $\pm 15\text{V}$ and single 5V supplies.

3 Channel Thermocouple Thermometer



LT1014 Distribution of Offset Voltage

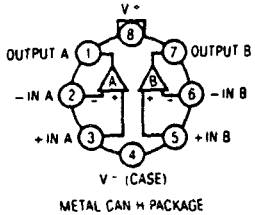
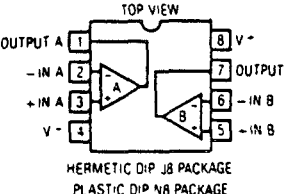
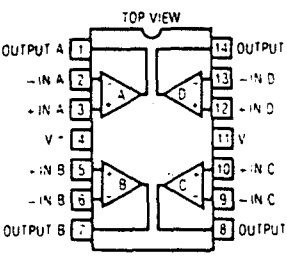


LT1013/LT1014

ABSOLUTE MAXIMUM RATINGS

Supply Voltage	$\pm 22V$
Differential Input Voltage	$\pm 30V$
Input Voltage	Equal to Positive Supply Voltage 5V Below Negative Supply Voltage
Output Short Circuit Duration	Indefinite
Operating Temperature Range	
LT1013AM/LT1013M/ LT1014AM/LT1014M	$-55^{\circ}C$ to $125^{\circ}C$
LT1013AC/1013C/1013D LT1014AC/1014C/1014D	$0^{\circ}C$ to $70^{\circ}C$
Storage Temperature Range	
All Grades	$-65^{\circ}C$ to $150^{\circ}C$
Lead Temperature (Soldering, 10 sec.)	$300^{\circ}C$

PACKAGE/ORDER INFORMATION

ORDER PART NUMBER	
LT1013AMH LT1013MH LT1013ACH LT1013CH	 <p>METAL CAN 8 PACKAGE</p>
LT1013AMJ8 LT1013MJ8 LT1013ACJ8 LT1013CJ8 LT1013CN8 LT1013DN8	 <p>HERMETIC DIP 8 PACKAGE PLASTIC DIP 8 PACKAGE</p>
LT1014AMJ LT1014MJ LT1014ACJ LT1014CJ LT1014CN LT1014DN	 <p>HERMETIC DIP 14 PACKAGE PLASTIC DIP 14 PACKAGE</p>

ELECTRICAL CHARACTERISTICS

$V_S = \pm 15V$, $V_{CM} = 0V$, $T_A = 25^{\circ}C$ unless otherwise noted

SYMBOL	PARAMETER	CONDITIONS	LT1013AM LT1013AC LT1014AM LT1014AC			LT1013M/LT1013C LT1013DN8 LT1014M/LT1014C LT1014DN			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
V_{OS}	Input Offset Voltage	LT1013	—	40	150	—	60	300	μV
		LT1014	—	50	180	—	60	300	μV
		LT1013DN8/LT1014DN	—	—	—	—	200	800	μV
	Long Term Input Offset Voltage Stability		—	0.4	—	—	0.5	—	$\mu V/Mo$
I_{OS}	Input Offset Current		—	0.15	0.8	—	0.2	1.5	nA
I_B	Input Bias Current		—	12	20	—	15	30	nA
e_n	Input Noise Voltage	0.1Hz to 10Hz	—	0.55	—	—	0.55	—	$\mu V/\sqrt{Hz}$
e_n	Input Noise Voltage Density	$f_n = 10Hz$	—	24	—	—	24	—	nV/ \sqrt{Hz}
		$f_n = 1000Hz$	—	22	—	—	22	—	nV/ \sqrt{Hz}
i_n	Input Noise Current Density	$f_n = 10Hz$	—	0.07	—	—	0.07	—	pA/ \sqrt{Hz}
	Input Resistance - Differential	(Note 1)	100	400	—	70	300	—	k Ω
	Common Mode		—	5	—	—	4	—	k Ω



MOTOROLA
Semiconductors

VVC

SILICON EPICAP^Δ DIODE

... designed for VHF TV tuning, AFC, general frequency control and tuning applications; providing solid-state reliability in replacement of mechanical tuning methods.

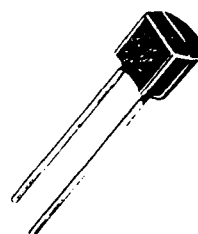
- High Q With Guaranteed Minimum Values at VHF Frequencies
- Controlled and Uniform Tuning Ratio
- Guaranteed Matching⁽¹⁾ Tolerance From Diode to Diode and Group to Group
- Supplied in One-Piece, Unibloc^Δ Package for High Reliability.

⁽¹⁾ Upon request, diodes are available in matched sets of any number or in matched groups. All diodes in a set or group can be matched for capacitance to $\pm 3\%$ or 0.1 pF (whichever is greater) along the entire specified tuning range.

MV209

**VOLTAGE VARIABLE
CAPACITANCE DIODE**

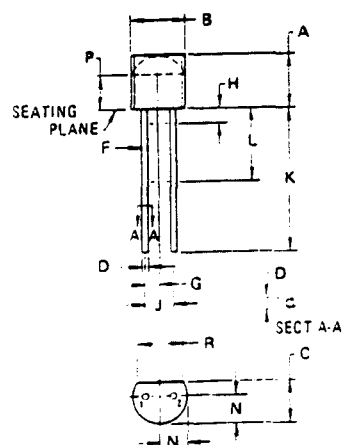
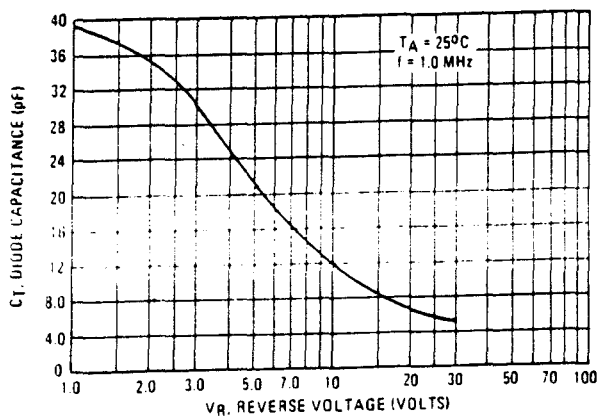
26-32 pF



MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Reverse Voltage	V_R	30	Volts
Forward Current	I_F	200	mA
Power Dissipation @ $T_A = 25^\circ\text{C}$ Derate above 25°C	P_D	280 2.8	mW mW/ $^\circ\text{C}$
Junction Temperature	T_J	+125	$^\circ\text{C}$
Storage Temperature Range	T_{stg}	-65 to +150	$^\circ\text{C}$

FIGURE 1 - DIODE CAPACITANCE



STYLE 2:
PIN 1, CATHODE
2, ANODE

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	4.32	5.33	0.170	0.210
B	4.45	5.21	0.175	0.205
C	3.18	4.19	0.125	0.165
D	0.356	0.533	0.014	0.021
F	0.407	0.482	0.016	0.019
G	1.27 BSC		0.050 BSC	
H		1.27		0.050
J	2.54 BSC		0.100 BSC	
K	12.70		0.500	
L	6.35		0.250	
N	2.03	2.66	0.080	0.105
P	2.93		0.115	
R	3.43		0.135	

All JEDEC dimensions and notes apply.

CASE 182-02

ELECTRICAL CHARACTERISTICS ($T_A = 25^\circ\text{C}$ unless otherwise noted.)

Characteristic	Symbol	Min	Typ	Max	Unit
Reverse Breakdown Voltage ($I_R = 10 \mu\text{A}$)	BV_R	30	—	—	Vdc
Reverse Voltage Leakage Current ($V_R = 25 \text{ Vdc}$)	I_R	—	—	0.1	μA
Series Inductance (Note 1) ($f = 250 \text{ MHz}$, Lead Length $\approx 1/8''$)	L_S	—	6.0	—	nH
Case Capacitance (Note 2) ($f = 1.0 \text{ MHz}$)	C_C	—	0.2	—	pF
Diode Capacitance Temperature Coefficient ($V_R = 3.0 \text{ Vdc}$, $f = 1.0 \text{ MHz}$)	TC_C	—	300	400	ppm/ $^\circ\text{C}$

Device	C_t , Diode Capacitance $V_R = 3.0 \text{ Vdc}$, $f = 1.0 \text{ MHz}$ pF			Q , Figure of Merit $V_R = 3.0 \text{ Vdc}$ $f = 50 \text{ MHz}$ (Note 3)	C_R , Capacitance Ratio C_3/C_{25} $f = 1.0 \text{ MHz}$ (Note 4)	
	Min	Nom	Max	Min	Min	Max
MV 209	26	29*	32	200	5.0	6.5

FIGURE 2 — FIGURE OF MERIT

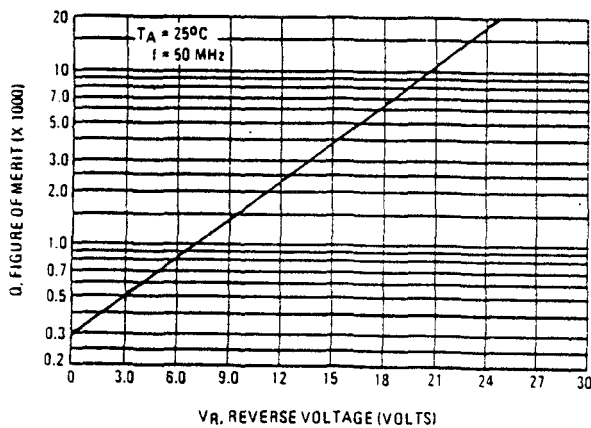


FIGURE 3 — LEAKAGE CURRENT

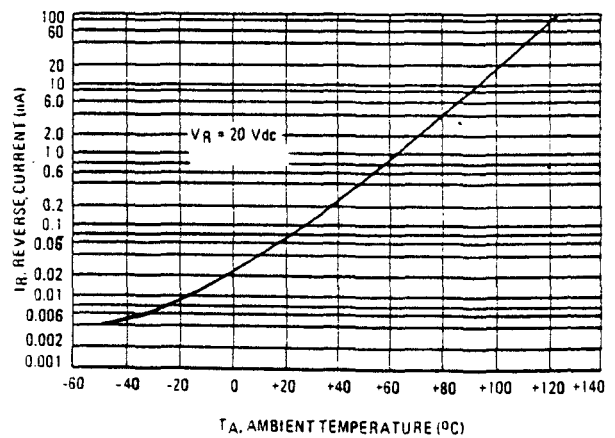
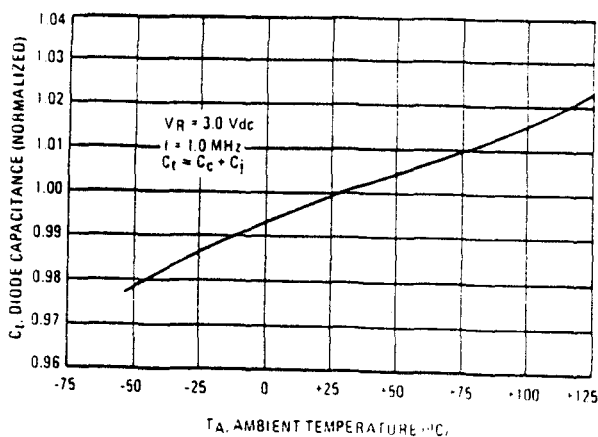


FIGURE 4 — DIODE CAPACITANCE



NOTES ON TESTING AND SPECIFICATIONS

- L_S is measured on a package having a short instead of a die, using an impedance bridge (Boonton Radio Model 250A RX Meter).
- C_C is measured on a package without a die, using a capacitance bridge (Boonton Electronics Model 75A or equivalent).
- Q is calculated by taking the G and C readings of an admittance bridge, such as Boonton Electronics Model 33AS8, at the specified frequency and substituting in the following equation:

$$Q = \frac{2\pi f C}{G}$$

- C_R is the ratio of C_t measured at 3.0 Vdc divided by C_t measured at 25 Vdc.



MOTOROLA Semiconductor Products Inc.

Printed in Switzerland

35 8548

- Slew rate—2500 V/ μ s
- Rise time—1ns
- Bandwidth—350 MHz
- ELH0033—Pin Compatible
- ± 5 to ± 15 V Operation
- 100mA Output Current
- MIL-STD-883B Rev. C devices
- 100% manufactured in U.S.A.

- Coaxial cable driver
- Fast op amp. booster
- Flash converter driver
- Video line driver
- High-speed sample & hold
- Pulse transformer driver
- A.T.E. pin driver

Part No.	Temp. Range	Package
EL2004CG	-25°C to +85°C	TO-8
EL2004CG/E+	-25°C to +85°C	TO-8
EL2004G	-55°C to +125°C	TO-8
EL2004G/883	-55°C to +125°C	TO-8

TOP VIEW

CASE IS ELECTRICALLY ISOLATED

The EL2004 is a very high-speed, FET input buffer/line driver designed for unity gain applications at both high current (up to 100mA) and at frequencies up to 350MHz. The 2500V/ μ s slew rate and wide bandwidth ensures the stability of the circuit when the EL2004 is used inside op amp feedback loops.

The EL2004 is specified for operation over the -55°C to $+125^{\circ}\text{C}$ military temperature range. The EL2004C is specified for operation over the -25°C to $+85^{\circ}\text{C}$ temperature range. Available packages include the TO-8 metal can, and Leadless Chip Carriers (LCCs) by special order.

Elantec facilities comply with MIL-I-45208A and other applicable quality specifications. Elantec's Military devices are manufactured to MIL-STD-883 Class B Revision C and are 100% fabricated and assembled in our rigidly controlled, ultra-clean facilities in Milpitas, California. For additional information on Elantec's Quality and Reliability Assurance policy and procedures request brochure ORA-1.

©1985 Elantec, Inc.

EL2004/EL2004C

350MHz FET Buffer

Absolute Maximum Ratings

V_S	Supply Voltage ($V^+ - V^-$)	40V	T_A	Operating Temperature Range:	
V_{IN}	Input Voltage	40V		EL2004	-55°C to +125°C
P_D	Power Dissipation (See curves)	1.5W		EL2004C	-25°C to +85°C
I_{OC}	Continuous Output Current	±100mA	T_J	Operating Junction Temperature	175°C
I_{OP}	Peak Output Current	±250mA	T_{ST}	Storage Temperature	-65°C to +150°C
				Lead Temperature	
				(soldering, 10 seconds)	300°C

Important Note: All parameters having Min./Max. specifications are guaranteed. The Test Level column indicates the specific device testing actually performed during production and Quality Assurance inspection. Elantec performs most electrical tests using modern high-speed automatic test equipment, specifically the LTX 77 Series system. Unless otherwise noted, all tests are pulsed tests, therefore $T_J = T_C = T_A$.

Test Level	Test Procedure
I	100% production tested and QA sample tested per QA test plan QCX0002.
II	100% production tested at $T_A = 25^\circ\text{C}$, and QA sample tested at $T_A = 25^\circ\text{C}$, T_{MAX} and T_{MIN} per QA test plan QCX0002.
III	QA sample tested per QA test plan QCX0002.
IV	Parameter is guaranteed (but not tested) by Design and Characterization Data.
V	Parameter is typical value for information purposes only.

±15 V DC Electrical Characteristics $V_S = \pm 15\text{V}$, $T_{MIN} < T_A < T_{MAX}$, $V_{IN} = 0\text{V}$, $R_L = 1\text{k}\Omega$ unless otherwise specified.¹

Parameter	Test Conditions	EL2004				EL2004C				Units
		Min.	Typ.	Max.	Test Level	Min.	Typ.	Max.	Test Level	
V_{OS} Output Offset Voltage	$R_S < 100\text{k}\Omega$, $T_J = 25^\circ\text{C}$		5	10	I		12	20	I	mV
	$R_S < 100\text{k}\Omega$			15	I			25	III	mV
A_V Voltage Gain	$V_{IN} = \pm 10\text{V}$	0.97	0.98	1.0	I	0.96	0.98	1.0	II	V/V
	$R_L = \pm 100\Omega$, $V_{IN} = \pm 10\text{V}$	0.92	0.95	0.98	I	0.90	0.95	0.98	II	V/V
R_{IN} Input Impedance	$T_J = 25^\circ\text{C}$, $V_{IN} = \pm 1\text{V}$	10^{10}	10^{11}		I	10^8	10^{11}		I	Ω
R_{OUT} Output Impedance	$V_{IN} = \pm 1\text{V}_{DC}$ $\Delta R_L = 100\Omega$ to infinity		4	8	I		4	10	II	Ω
V_O Output Voltage Swing	$V_{IN} = \pm 14\text{V}$	±12	±13		I	±12	±13		II	V
	$V_{IN} = \pm 10.5\text{V}$, $R_L = 100\Omega$ $T_A = 25^\circ\text{C}$	±9	±9.8		I	±9	±9.8		I	V
	$T_J = 25^\circ\text{C}$ (Note 2)			0.25	I			2.0	I	nA
I_{IN} Input Current	$T_A = 25^\circ\text{C}$ (Note 3)			2.5	IV			20	IV	nA
	$T_J = T_A = T_{MAX}$			10	I			50	III	nA
	$V_{IN} = -10\text{V}$		20		V		20		V	nA
I_S Supply Current			20	24	I		20	24	II	mA

EL2004/EL2004C

350MHz FET Buffer

± 5 V DC Electrical Characteristics $V_S = \pm 5V$, $T_{MIN} < T_A < T_{MAX}$, $V_{IN} = 0V$, $R_L = 50\Omega$ unless otherwise specified.

Parameter	Test Conditions	EL2004				EL2004C				Units
		Min.	Typ.	Max.	Test Level	Min.	Typ.	Max.	Test Level	
V_{OS} Output Offset Voltage	$R_S \leq 100k\Omega$, $T_J = 25^\circ C$		10	25	I		10	25	I	mV
	$R_S \leq 100k\Omega$			35	I			35	III	mV
A_V Voltage Gain	$V_{IN} = \pm 1V$, $R_L = 1k\Omega$	0.90	0.95	1.0	I	0.90	0.95	1.0	II	V/V
	$V_{IN} = \pm 1V$	0.84	0.88	0.95	I	0.84	0.88	0.95	II	V/V
R_{IN} Input Impedance	$T_J = 25^\circ C$, $V_{IN} = \pm 1V$	10^{10}	10^{11}		I	10^{10}	10^{11}		I	Ω
R_{OUT} Output Impedance	$V_{IN} = \pm 1V_{DC}$ $\Delta R_L = 50\Omega$ to infinity		4	8	I		4	10	II	Ω
V_O Output Voltage Swing	$V_{IN} = \pm 4V$	± 2.5	± 2.9		I	± 2.5	± 2.9		III	V
I_{IN} Input Current	$T_J = 25^\circ C$ (Note 2)			250	I			500	I	pA
	$T_A = 25^\circ C$ (Note 3)			2.5	IV			5	IV	nA
	$T_J = T_A = T_{MAX}$			10	I			20	III	nA
PSRR Power Supply Rejection Ratio	$V_S = \pm 5V$ to $\pm 15V$ $R_L = 1k\Omega$		60		V		60		V	dB
I_S Supply Current	$R_L = 1k\Omega$		17.5	20	I		17.5	20	II	mA

Note 1: When operating at elevated temperatures the power dissipation of the EL2004 must be limited to the values shown in the typical performance curve "Maximum Power Dissipation vs. Temperature". Junction to case thermal resistance is $31^\circ C/W$ when dissipation is spread among the transistors in a normal AC steady-state condition. In special conditions where heat is concentrated in one output device, junction temperature should be calculated using a thermal resistance of $70^\circ C/W$.

Note 2: Specification is at $25^\circ C$ junction temperature due to requirements of high-speed automatic testing. Actual values at operating temperatures will exceed the value at $T_J = 25^\circ C$. When supply voltages are $\pm 15V$, no-load operating junction temperatures may rise $40^\circ C$ to $60^\circ C$ above ambient and more under load conditions. Accordingly, V_{OS} may change one to several mV, and I_{IN} will change significantly during warm-up. Refer to I_{IN} vs. Temperature graph for expected values.

Note 3: Measured in still air seven minutes after application of power. See graph of Input Current During Warm-up for further information.

Note 4: Bandwidth is calculated from the rise time. The EL2004 has a single pole gain and phase response up to the -3 dB frequency.

Note 5: Slew rate is measured between $V_{OUT} = +2.5V$ and $-2.5V$ for this test.

Note 6: Slew rate is measured between $V_{OUT} = +1V$ and $-1V$ for this test. Pulse repetition rate is $< 50MHz$.

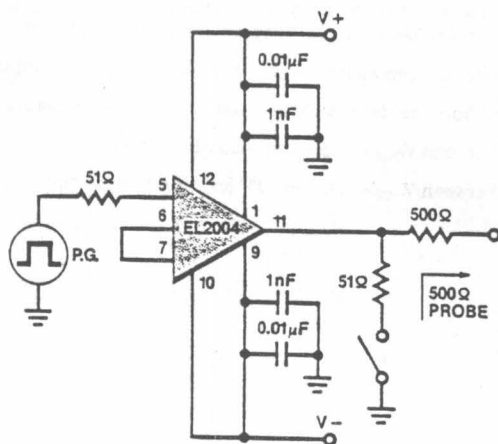
EL2004/EL2004C

350 MHz FET Buffer

± 15 V AC Electrical Characteristics $V_S = \pm 15\text{ V}$, $R_L = 1\text{ k}\Omega$, $R_S = 50\ \Omega$, $T_J = 25^\circ\text{C}$ unless otherwise specified.

Parameter	Test Conditions	EL2004				EL2004C				Units
		Min.	Typ.	Max.	Test Level	Min.	Typ.	Max.	Test Level	
BW Bandwidth	(Note 4)	200	350		I	200	350		I	MHz
	$R_L = 50\ \Omega$	140	200		I	140	200		I	MHz
t_s Settling Time to 1%	$\Delta V_{IN} = 1\text{ V}$, $t_r = 3\text{ ns}$		6		V		6		V	ns
C_{in} Input Capacitance			3		V		3		V	pF
S_R Slew Rate	$V_{IN} = \pm 5\text{ V}$ (Note 5)	2000	2500		I	2000	2500		I	V/ μs
	$C_L = 100\text{ pF}$, $V_{IN} = \pm 5\text{ V}$ (Note 5)		1200		V		1200		V	V/ μs
t_r Rise Time Note: See test figure	$\Delta V_{IN} \sim 0.6\text{ V}$		1.0	1.7	I		1.0	1.7	I	ns
	$\Delta V_{IN} \sim 0.6\text{ V}$, $R_L = 50\ \Omega$		1.7	2.5	I		1.7	2.5	I	ns
t_p Propagation Delay Note: See test figure	$\Delta V_{IN} \sim 0.6\text{ V}$		1.0	2.0	I		1.0	2.0	I	ns
R_{out} Output Impedance	$f = 1\text{ MHz}$, $V_{in} = 1\text{ V}_{RMS}$ $\Delta R_L = 100\ \Omega$ to infinity		4		V		4		V	Ω
+PSRR Power Supply Rejection Ratio	$\Delta V_{S+} = \pm 1.5\text{ V}_{peak}$ $f = 1\text{ kHz}$		40		V		40		V	dB
-PSRR Power Supply Rejection Ratio	$\Delta V_{S-} = \pm 1.5\text{ V}_{peak}$ $f = 1\text{ kHz}$		40		V		40		V	dB

AC Test Circuit



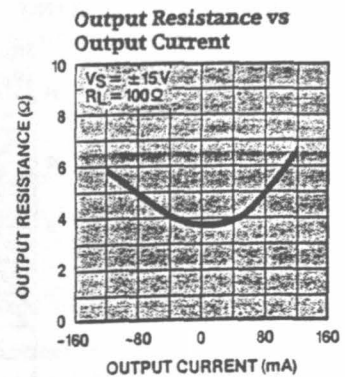
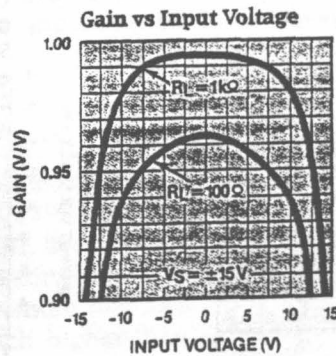
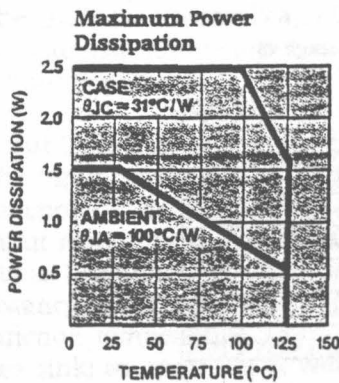
EL2004/EL2004C

350MHz FET Buffer

± 5 V AC Electrical Characteristics $V_S = \pm 5V$, $R_L = 50\Omega$, $R_S = 50\Omega$, $T_J = 25^\circ\text{C}$ unless otherwise specified.

Parameter	Test Conditions	EL2004				EL2004C				Units
		Min.	Typ.	Max.	Test Level	Min.	Typ.	Max.	Test Level	
BW Bandwidth	$R_L = 1k\Omega$	175	220		I	175	220		I	MHz
	(Note 4)	125	150		IV	125	150		IV	MHz
t_s Settling Time to 1%	$\Delta V_{IN} = 1V$, $t_r = 3ns$		8		V		8		V	ns
C_{in} Input Capacitance			3		V		3		V	pF
S_R Slew Rate	$V_{IN} = \pm 2V$ (Note 6)	1000	1200		I	1000	1200		I	V/ μs
	$C_L = 100pF$, $V_{IN} = \pm 2V$ $R_L = 1k\Omega$ (Note 6)		500		V		500		V	V/ μs
t_r Rise Time Note: See test figure	$R_L = 1k\Omega$, $\Delta V_{IN} \sim 0.6V$		1.6	2.0	I		1.6	2.0	I	ns
	$R_L = 50\Omega$, $\Delta V_{IN} \sim 0.6V$		2.3	2.8	IV		2.3	2.8	IV	ns
t_p Propagation Delay Note: See test figure	$R_L = 1k\Omega$, $\Delta V_{IN} \sim 0.6V$		1.2	2.4	I		1.2	2.4	I	ns
R_{out} Output Impedance	$f = 1MHz$, $V_{in} = 1V_{RMS}$ $\Delta R_L = 100\Omega$ to infinity		4		V		4		V	Ω
+PSRR Power Supply Rejection Ratio	$\Delta V_S = \pm 0.5V_{peak}$ $f = 1kHz$		30		V		30		V	dB
-PSRR Power Supply Rejection Ratio	$\Delta V_S = \pm 0.5V_{peak}$ $f = 1kHz$		30		V		30		V	dB

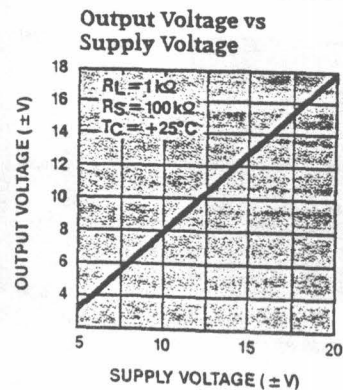
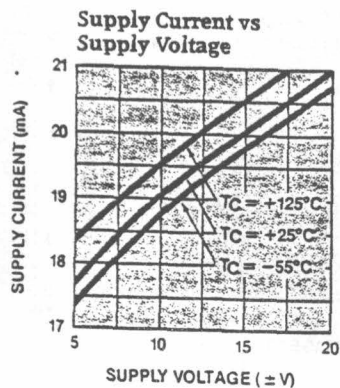
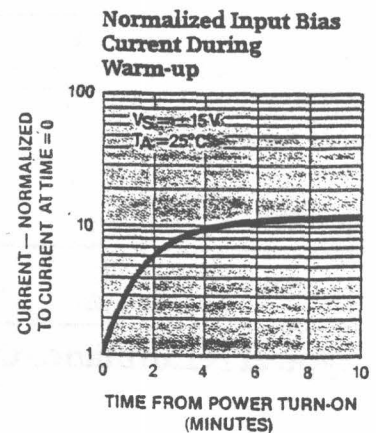
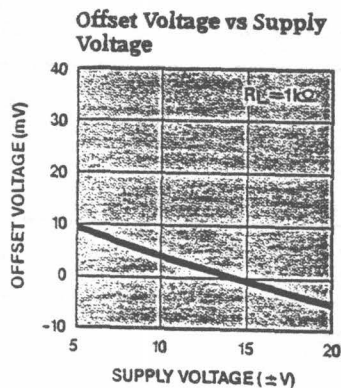
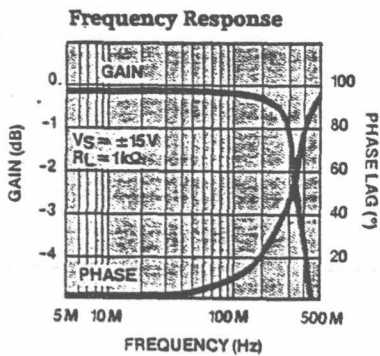
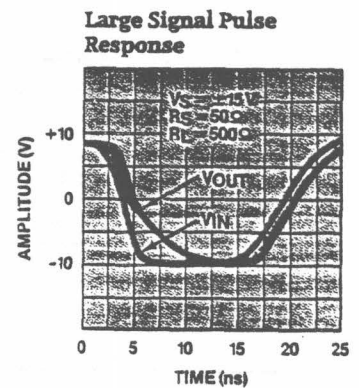
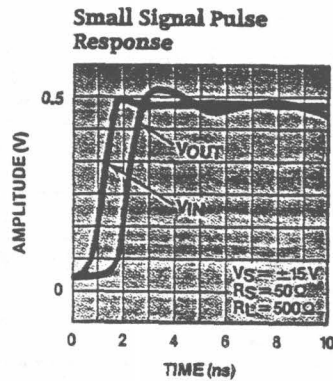
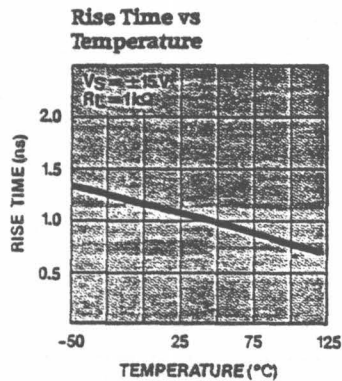
Typical Performance Curves



EL2004/EL2004C

350MHz FET Buffer

Typical Performance Curves—Continued



EL2004/EL2004C

350MHz FET Buffer

Applications Information

The EL2004 is one member of a family of high performance buffers manufactured by Elantec. The 2004 is optimized for speed while others offer choices of input DC parameters or output drive or cost. The following table illustrates those members available at the time of this printing. Consult the factory for the latest capabilities in this developing line.

Elantec's Buffer Family

Part #	Slew Rate V/ μ s	Bandwidth MHz	Input Current (Warm)	Peak I_{OUT} mA	Rise Time ns
ELH0002	200	50	6 μ A	400	7
ELH0033	1500	100	2.5nA	250	2.9
EL2004	2500	350	2.5nA	250	1.0
EL2005	1500	140	0.1nA	250	2.5

Recommended Layout Precautions

The very high-speed performance of the EL2004 can only be realized by taking certain precautions in circuit layout and power supply decoupling. Low inductance ceramic chip or disc power supply decoupling capacitors of 0.1 μ F or more should be connected with the shortest practical lead lengths between the device supply leads and a ground plane. In addition, it can be helpful to parallel these with 4.7 μ F electrolytics (Tantalum preferred). Failure to follow these precautions can result in oscillation.

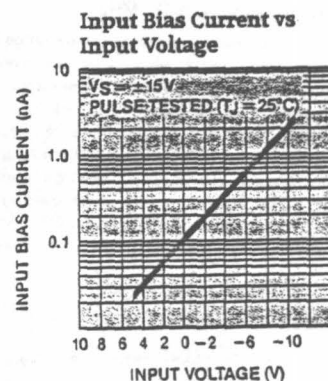
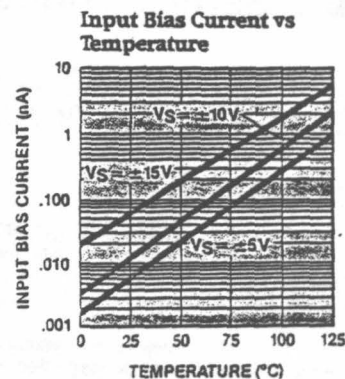
Circuit Operation

The EL2004 is effectively an ideal unity gain amplifier with almost infinite input impedance and about 6 Ω output impedance.

Input Characteristics

The input impedance of a junction FET is a strong function of temperature and input voltage. Nominal input resistance of EL2004 is 10^{12} at 25°C junction, but as I_B doubles every 11°C in the JFET, the input resistance falls. During warm-up, self-heating raises the junction temperature up to 60°C or more (without heatsink) so operating I_B will be much higher than the data sheet 25°C specification.

Another factor which can increase bias current is input voltage. If the input voltage is more than 20V below the positive supply, the input current rises exponentially. (See Curve).



In applications such as sample and hold circuits where it is important to maintain low input bias current over input voltage range, the EL2005 High Accuracy Fast Buffer is recommended.

The input capacitance of EL2004 comprises the FET device gate-to-source capacitance (which is a function of input voltage) and stray capacitance to the case. Effective input capacitance can be minimized by connecting the case to the output since it is electrically isolated. Or, for reduced radiation, the case may be grounded. The AC characteristics specified in this data sheet were obtained with the case floating.

Offset Voltage Adjustment

The EL2004's offset voltages have been actively laser trimmed at ± 15 V supplies to meet specified limits when the offset adjust pin is shorted to the offset preset pin. If external offset null is required, the offset adjust pin should be connected to a 200 Ω trim pot connected to the negative supply.



Operational Amplifiers/Buffers

LH0033/LH0033C, LH0063/LH0063C Fast and Damn Fast Buffer Amplifiers

General Description

The LH0033/LH0033C and LH0063/LH0063C are high speed, FET input, voltage follower/buffers designed to provide high current drive at frequencies from DC to over 100 MHz. The LH0033/LH0033C will provide ± 10 mA into 1 k Ω loads (± 100 mA peak) at slew rates of 1500V/ μ s. The LH0063/LH0063C will provide ± 250 mA into 50 Ω loads (± 500 mA peak) at slew rates of up to 6000V/ μ s. In addition, both exhibit excellent phase linearity up to 20 MHz.

Both are intended to fulfill a wide range of buffer applications such as high speed line drivers, video impedance transformation, nuclear instrumentation amplifiers, op amp isolation buffer for driving inductive loads and high impedance input buffers for high speed A to D's and comparators. In addition, the LH0063/LH0063C can continuously drive 50 Ω coaxial cables or be used as a diddle yoke driver for high resolution CRT displays. For additional applications information, see AN-48.

Advantages

- Only +10V supply needed for 5 V_{p-p} video output
- Speed does not degrade system performance
- Wide data rate range for phase encoded systems

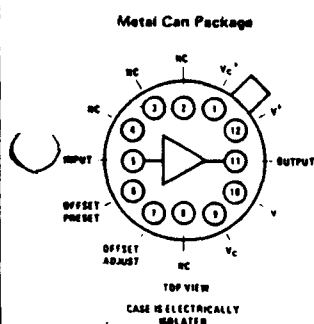
- Output drive adequate for most loads
- Single pre-calibrated package

Features

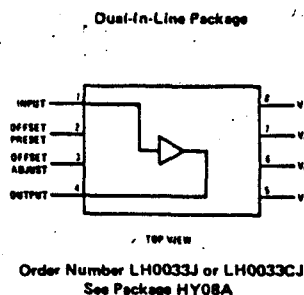
- Damn fast (LH0063) 6000V/ μ s
- Wide range single or dual supply operation
- Wide power bandwidth DC to 100 MHz
- High output drive ± 10 V with 50 Ω load
- Low phase non-linearity 2 degrees
- Fast rise times 2 ns
- High current gain 120 dB
- High input resistance $10^{10}\Omega$

These devices are constructed using specially selected junction FET's and active laser trimming to achieve guaranteed performance specifications. The LH0033 and LH0063 are specified for operation from -55°C to +125°C; whereas, the LH0033C and LH0063C are specified from -25°C to +85°C. The LH0033/LH0033C is available in a 1.5W metal TO-8 package and a special 1/2 x 1 inch 8 pin ceramic dual-in-line package while the LH0063/LH0063C is available in a 5W 8-pin TO-3 package.

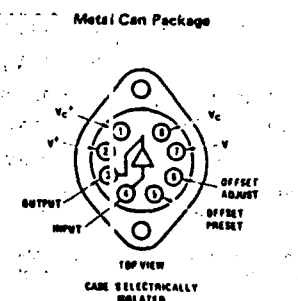
Connection Diagrams



Order Number LH0033G or LH0033C
See Package H12B



Order Number LH0033J or LH0033CJ
See Package HY08A



Order Number LH0063K or LH0063CK
See Package K08A



MOTOROLA

Advance Information

MECL 10KH HIGH-SPEED EMITTER-COUPLED LOGIC

The MC10H101, MC10H102 and MC10H105 are members of Motorola's new MECL family. These MECL 10KH parts are functional/pinout duplications of the standard MECL 10K family parts, with 100% improvement in propagation delay, and no increases in power-supply current.

- Propagation Delay, 1 ns typical
- Power Dissipation 25 mW/Gate (same as MECL 10K)
- Improved Noise Margin 150 mV (over operating voltage and temperature range)
- Voltage Compensated
- MECL 10K-Compatible

MAXIMUM RATINGS

Characteristic	Symbol	Rating	Unit
Power Supply ($V_{CC} = 0$)	V_{EE}	-8.0 to 0	Vdc
Input Voltage ($V_{CC} = 0$)	V_i	0 to V_{EE}	Vdc
Output Current — Continuous	I_{out}	80	mA
— Surge		100	
Operating Temperature Range	T_A	0-75	°C
Storage Temperature Range — Plastic	T_{stg}	-55 to 150	°C
— Ceramic		-65 to 165	°C

ELECTRICAL CHARACTERISTICS ($V_{EE} = -5.2 \text{ V} \pm 5\%$)

Characteristic	Symbol	0°		25°		75°		Unit
		Min	Max	Min	Max	Min	Max	
Power Supply Current MC10H101, 102 MC10H105	I_E	—	29	—	28	—	29	mA
		—	23	—	21	—	23	
Input Current High MC10H101, 102, 105 MC10H101 (Pin 12 only)	I_{inH}	—	425	—	265	—	266	μA
		—	860	—	535	—	535	
Input Current Low	I_{inL}	0.5	—	0.5	—	0.3	—	μA
High Output Voltage	V_{OH}	-1.02	-0.84	-0.99	-0.81	-0.92	-0.736	Vdc
Low Output Voltage	V_{OL}	-1.95	-1.63	-1.95	-1.63	-1.95	-1.60	Vdc
High Input Voltage	V_{IH}	-1.17	—	-1.13	—	-1.07	—	Vdc
Low Input Voltage	V_{IL}	—	-1.46	—	-1.43	—	-1.45	Vdc

AC PARAMETERS

Propagation Delay	t_{pd}	0.7	1.0	0.7	1.5	0.7	1.7	ns
Rise Time	t_r	0.8	2.2	0.7	2.0	0.8	2.2	ns
Fall Time	t_f	0.8	2.2	0.7	2.0	0.8	2.2	ns

NOTE:

Each MECL 10KH series circuit has been designed to meet the specifications shown in the test table, after thermal equilibrium has been established. The circuit is in a test socket or mounted on a printed circuit board and transverse air flow greater than 500 linear fpm is maintained. Outputs are terminated through a 50-ohm resistor to -3.0 volts.

This document contains information on a new product. Specifications and information herein are subject to change without notice.

MC10H101

MC10H102

MC10H105

MECL 10KH

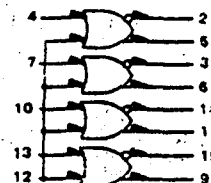


P SUFFIX
PLASTIC CASE
CASE 648-05

L SUFFIX
CERAMIC CASE
CASE 620-02

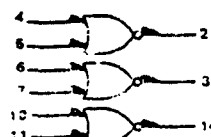


MC10H101



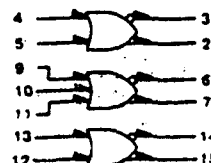
Quad OR/NOR Gate

MC10H102



Quad 2-Input NOR Gate

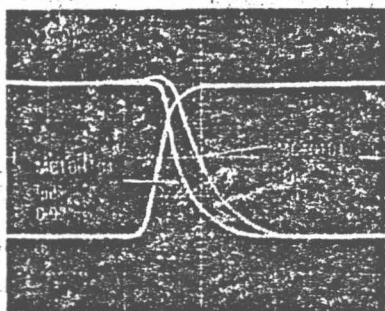
MC10H105



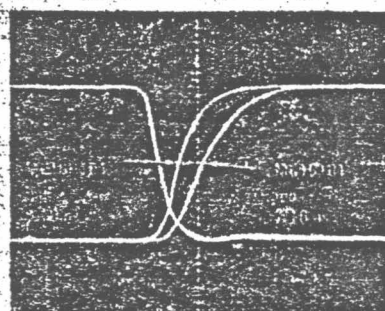
Triple 2-3-2 Input OR/NOR Gate

SWITCHING TIME COMPARISON
MECL 10KH versus MECL 10K

NOR OUTPUTS

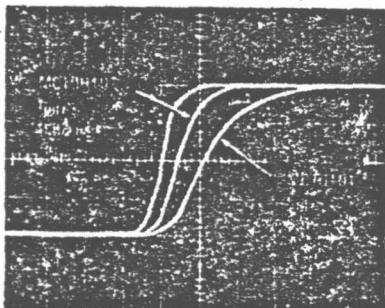


t_f (ns)
MC10H101 — 1.49
MC10101 — 2.4

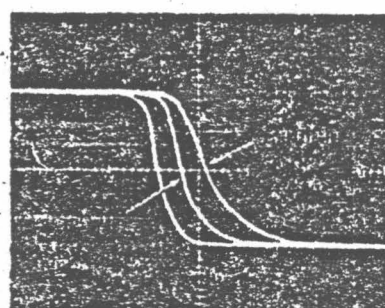


t_f (ns)
MC10H101 — 1.52
MC10101 — 2.62

OR OUTPUTS



t_f (ns)
MC10H101 — 1.48
MC10101 — 2.51



t_f (ns)
MC10H101 — 1.42
MC10101 — 2.45



MOTOROLA

UNIVERSAL HEXADECIMAL COUNTER

The MC10136/MC10136B is a high speed synchronous counter that can count up, count down, preset, or stop count at frequencies exceeding 100 MHz. The flexibility of this device allows the designer to use one basic counter for most applications, and the synchronous count feature makes the MC10136/MC10136B suitable for either computers or instrumentation.

Three control lines (S1, S2, and Carry In) determine the operation mode of the counter. Lines S1 and S2 determine one of four operations; preset (program), increment (count up), decrement (count down), or hold (stop count). Note that in the preset mode a clock pulse is necessary to load the counter, and the information present on the data inputs (D0, D1, D2, and D3) will be entered into the counter. Carry Out goes low on the terminal count, or when the counter is being preset.

This device is not designed for use with gated clocks. Control is via S1 and S2.

The MC10136B is equivalent to the MC10136 with the following exceptions. The V_{OL} level has been lowered 5 mV and functionality guaranteed over $\pm 5\%$ power supply tolerance.

$P_D = 625$ mW typ/pkg (No load)
 $f_{count} = 150$ MHz typ
 $t_{pd} = 3.3$ ns typ (C-Q)
 7.0 ns typ (C-Cout)
 5.0 ns typ (Cin-Cout)

FUNCTION SELECT TABLE

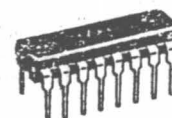
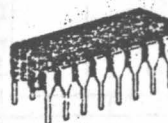
S1	S2	Operating Mode
L	L	Preset (Program)
L	H	Increment (Count Up)
H	L	Decrement (Count Down)
H	H	Hold (Stop Count)

**MC10136/
MC10136B**

MECL 10K series

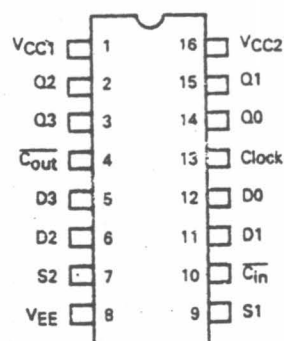
UNIVERSAL HEXADECIMAL COUNTER

P SUFFIX
PLASTIC PACKAGE
CASE 648



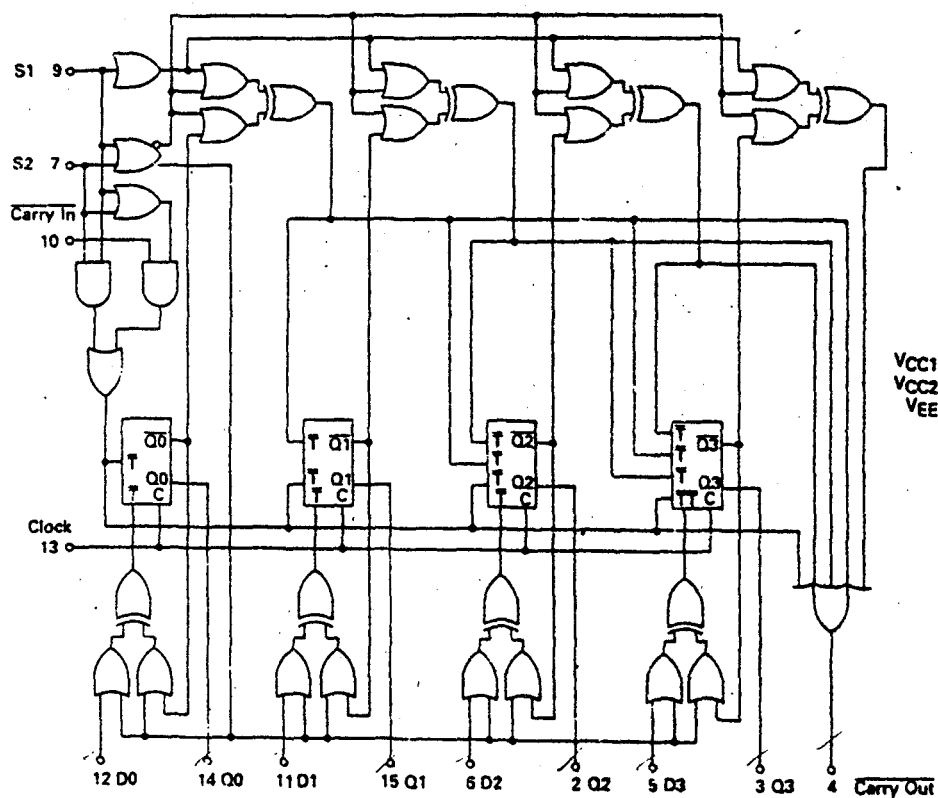
L SUFFIX
CERAMIC PACKAGE
CASE 620

PIN ASSIGNMENT



MC10136 • MC10136B

LOGIC DIAGRAM



VCC1 = Pin 1
VCC2 = Pin 16
VEE = Pin 8

SEQUENTIAL TRUTH TABLE*

INPUTS								OUTPUTS				
S1	S2	D0	D1	D2	D3	Carry In	Clock **	Q0	Q1	Q2	Q3	Carry Out
L	L	L	L	H	H	φ	H	L	L	H	H	L
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L	L	φ	φ	φ	φ	L	H	L	L	H	H	H
L												

φ = Don't care.

* Truth table shows logic states assuming inputs vary in sequence shown from top to bottom.

** A clock H is defined as a clock input transition from a low to a high logic level.



CD4013BM/CD4013BC Dual D Flip-Flop

General Description

The CD4013B dual D flip-flop is a monolithic complementary MOS (CMOS) integrated circuit constructed with N- and P-channel enhancement mode transistors. Each flip-flop has independent data, set, reset, and clock inputs and "Q" and "Q̄" outputs. These devices can be used for shift register applications, and by connecting "Q̄" output to the data input, for counter and toggle applications. The logic level present at the "D" input is transferred to the Q output during the positive-going transition of the clock pulse. Setting or resetting is independent of the clock and is accomplished by a high level on the set or reset line respectively.

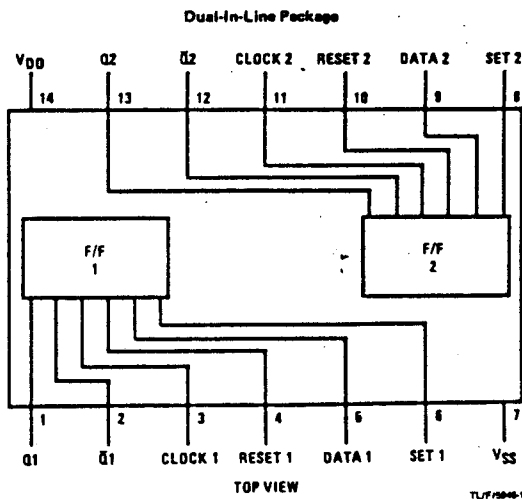
Features

- Wide supply voltage range 3.0V to 15V
- High noise immunity 0.45V_{DD} (typ.)
- Low power TTL compatibility fan out of 2 driving 74L or 1 driving 74LS

Applications

- Automotive
- Data terminals
- Instrumentation
- Medical electronics
- Alarm system
- Industrial electronics
- Remote metering
- Computers

Connection Diagram



Order Number CD4013BMJ or CD4013BCJ
See NS Package J14A

Order Number CD4013BMN or CD4013BCN
See NS Package N14A

Truth Table

CL [†]	D	R	S	Q	Q̄
↗	0	0	0	0	1
↘	1	0	0	1	0
↖	x	0	0	Q	Q̄
x	x	1	0	0	1
x	x	0	1	1	0
x	x	1	1	1	1

No change

↑ = Level change

x = Don't care case



LTC1043

Dual Precision Instrumentation Switched-Capacitor Building Block

FEATURES

- Instrumentation Front End with 120dB CMRR
- Precise, Charge-Balanced Switching
- Operates from 3V to 18V
- Internal or External Clock
- Operates up to 5MHz Clock Rate
- Low Power
- Two Independent Sections with One Clock

APPLICATIONS

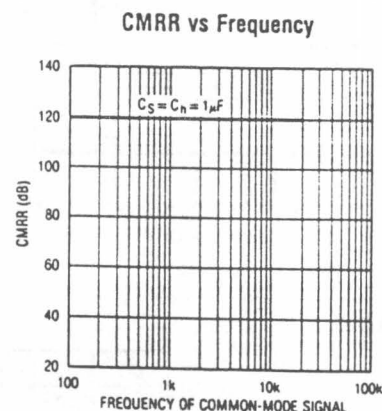
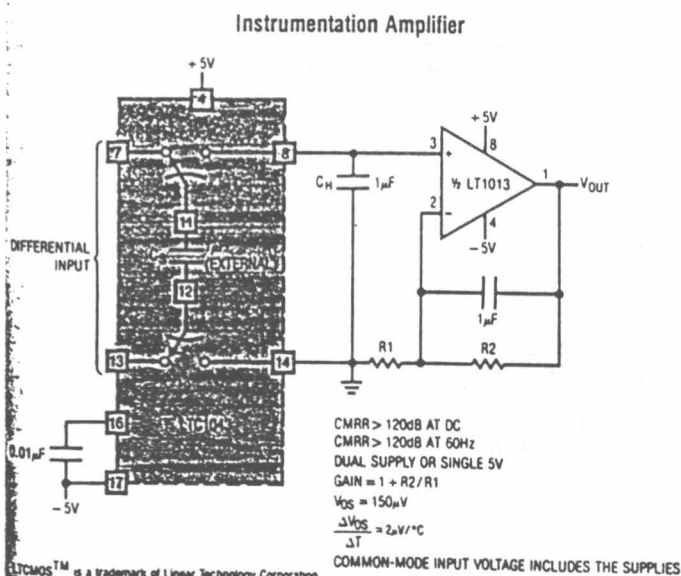
- Precision Instrumentation Amplifiers
- Ultra Precision Voltage Inverters, Multipliers and Dividers
- V-F and F-V Converters
- Sample and Hold
- Switched-Capacitor Filters

DESCRIPTION

The LTC1043 is a monolithic, charge-balanced, dual switched-capacitor instrumentation building block. A pair of switches alternately connects an external capacitor to an input voltage and then connects the charged capacitor across an output port. The internal switches have a break-before-make action. An internal clock is provided and its frequency can be adjusted with an external capacitor. The LTC1043 can also be driven with an external CMOS clock.

The LTC1043, when used with low clock frequencies, provides ultra precision DC functions without requiring precise external components. Such functions are differential voltage to single-ended conversion, voltage inversion, voltage multiplication and division by 2, 3, 4, 5, etc. The LTC1043 can also be used for precise V-F and F-V circuits without trimming, and it is also a building block for switched-capacitor filters, oscillators and modulators.

The LTC1043 is manufactured using Linear Technology's enhanced LTCMOS™ silicon gate process.



CMOS/DATA CONVERSION/INTERFACE

8



8-3

LTC1043

ABSOLUTE MAXIMUM RATINGS

Supply Voltage	18V
Input Voltage at Any Pin	$-0.3V \leq V_{IN} \leq V^+ + 0.3V$
Operating Temperature Range	
LTC1043C	$-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$
LTC1043M	$-55^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$
Storage Temperature Range	-65°C to 150°C
Lead Temperature (Soldering, 10 sec.)	300°C

PACKAGE/ORDER INFORMATION

	ORDER PART NUMBER
	LTC1043CN LTC1043MD

ELECTRICAL CHARACTERISTICS $V^+ = 10V$, $V^- = 0V$, $T_A = 25^\circ\text{C}$ unless otherwise specified.

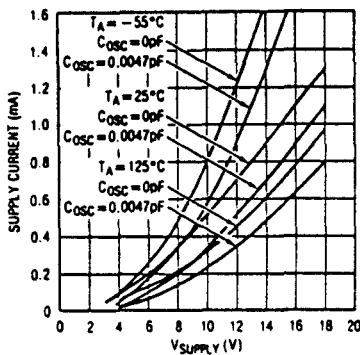
SYMBOL	PARAMETER	CONDITIONS	LTC1043M			LTC1043C			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
I_S	Power Supply Current	Pin (16) Connected High or Low	•	0.25	0.4	0.25	0.4		mA
		C_{osc} (Pin 16 to V^-) = 100pF	•	0.4	0.65	0.4	0.65		mA
I_l	OFF Leakage Current	Any Switch, Test Circuit 1 (Note 1)	•	6	100	6	100		pA
			•	6	500	6			nA
R_{ON}	ON Resistance	Test Circuit 2, $V_{IN} = 7V$, $I = \pm 0.5mA$ $V^+ = 10V$, $V^- = 0V$	•	240	400	240	400		Ω
			•		700		700		Ω
R_{ON}	ON Resistance	Test Circuit 2, $V_{IN} = 3.1V$, $I = \pm 0.5mA$ $V^+ = 5V$, $V^- = 0V$	•	400	700	400	700		Ω
			•		1		1		k Ω
f_{osc}	Internal Oscillator Frequency	C_{osc} (Pin 16 to V^-) = 0pF		185		185			kHz
		C_{osc} (Pin 16 to V^-) = 100pF		20	34	20	34	50	kHz
f_{osc}	Pin Source or Sink Current	Test Circuit 3	•	15	75	15	75		kHz
		Pin 16 at V^+ or V^-	•		40	40	70		μA
			•		100		100		μA
	Break-Before-Make Time			25		25			ns
	Clock to Switching Delay	C_{osc} Pin Externally Driven		75		75			ns
f_M	Maximum External CLK Frequency	C_{osc} Pin Externally Driven with CMOS Levels		5		5			MHz
CMRR	Common-Mode Rejection Ratio	$V^+ = 5V$, $V^- = -5V$, $-5V < V_{CM} < 5V$, DC to 400Hz		120		120			dB

The • denotes the specifications which apply over the full operating temperature range: LTC1043M operates from $-55^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$; LTC1043C operates from $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$.

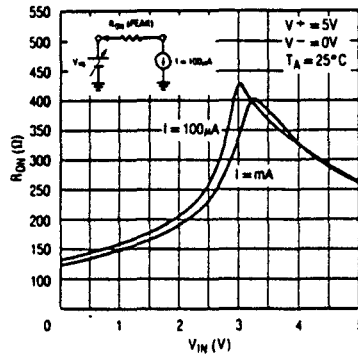
Note 1: OFF leakage current is guaranteed but not tested at 25°C .

TYPICAL PERFORMANCE CHARACTERISTICS (Test Circuits 2 through 4)

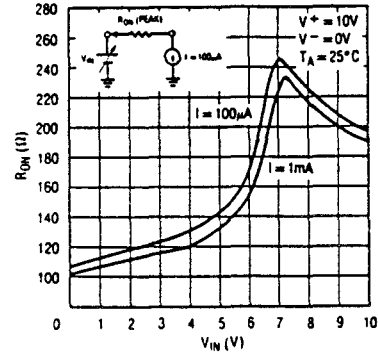
Power Supply Current vs
Power Supply Voltage



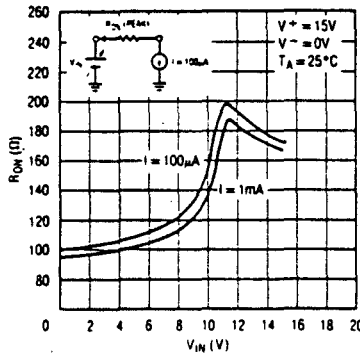
R_{ON} vs V_{IN}



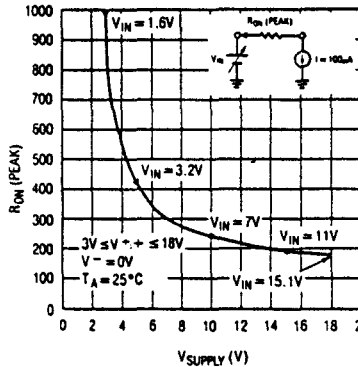
R_{ON} vs V_{IN}



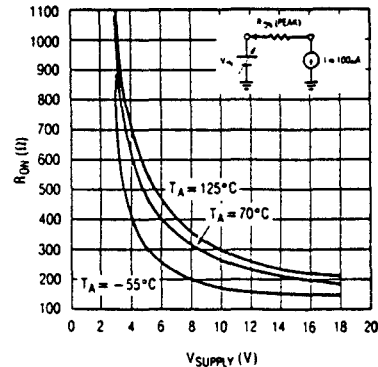
R_{ON} vs V_{IN}



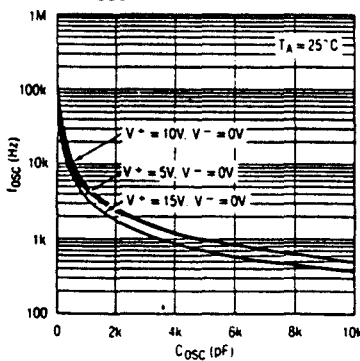
R_{ON} (Peak) vs Power Supply
Voltage



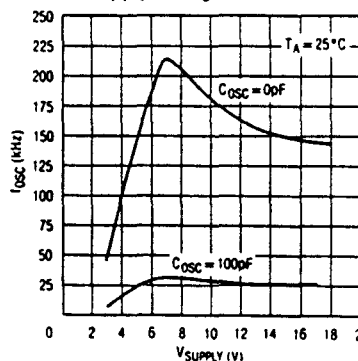
R_{ON} (Peak) vs Power Supply
Voltage and Temperature



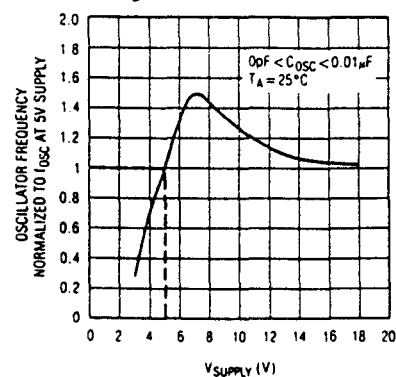
Oscillator Frequency, f_{osc} ,
vs C_{osc}



Oscillator Frequency, f_{osc} ,
vs Supply Voltage



Normalized Oscillator
Frequency, f_{osc} , vs Supply
Voltage

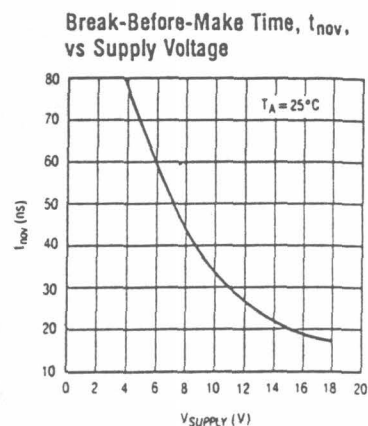
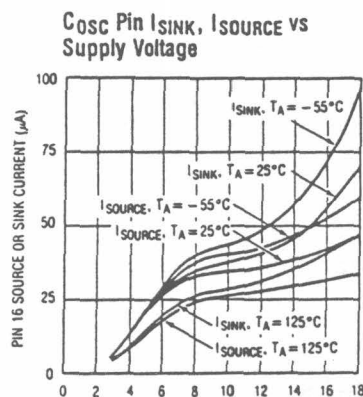
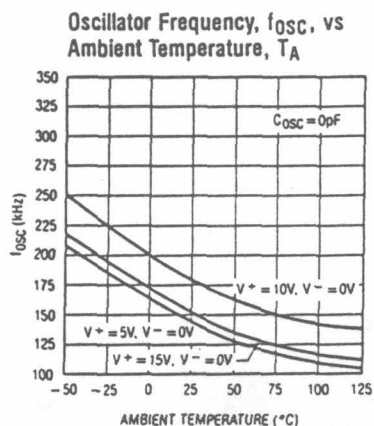


CMOS/DATA CONVERSION/INTERFACE

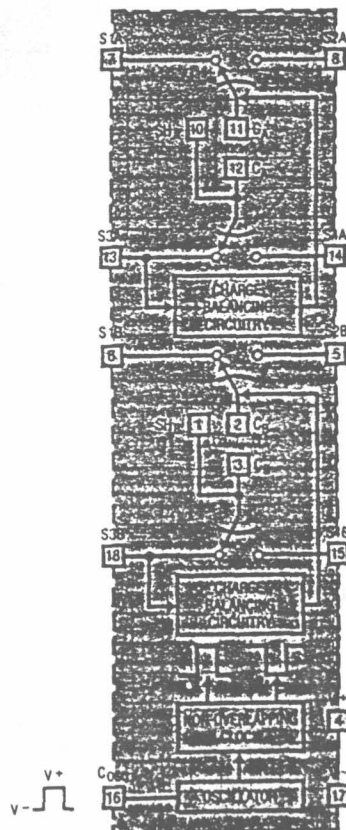
8

LTC1043

TYPICAL PERFORMANCE CHARACTERISTICS (Test Circuits 2 through 4)



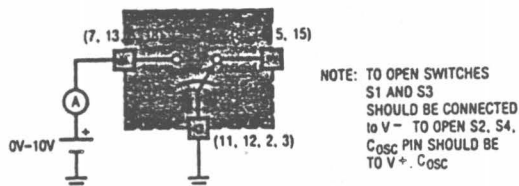
BLOCK DIAGRAM



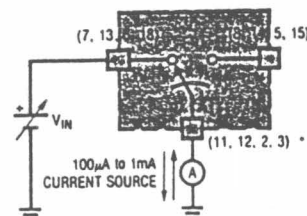
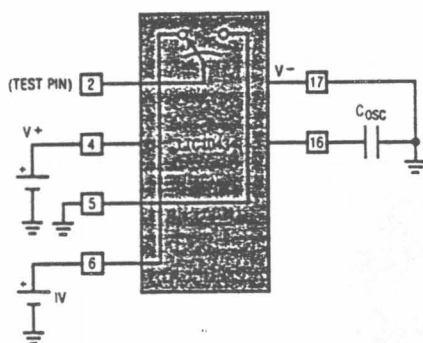
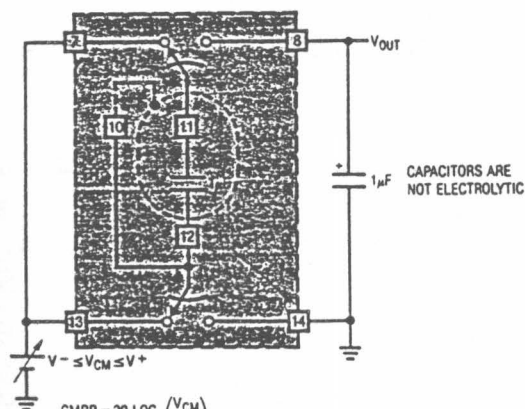
THE SWITCHES ARE TIMED AS SHOWN WITH PIN 16 HIGH

THE CHARGE BALANCING CIRCUITRY SAMPLES THE VOLTAGE AT S3 WITH RESPECT TO S4 (PIN 16 HIGH) AND INJECTS A SMALL CHARGE AT THE C+ PIN (PIN 16 LOW). THIS BOOSTS THE CMRR WHEN THE LTC1043 IS USED AS AN INSTRUMENTATION AMPLIFIER FRONT END. FOR MINIMUM CHARGE INJECTION IN OTHER TYPES OF APPLICATIONS, S3A AND S3B SHOULD BE GROUND.

TEST CIRCUITS



Test Circuit 1. Leakage Current Test

Test Circuit 2. R_{ON} TestTest Circuit 3. Oscillator Frequency, f_{osc} 

CMRR = $20 \log \left(\frac{V_{CM}}{V_{OUT}} \right)$
 NOTE: FOR OPTIMUM CMRR, THE C_{OSC} SHOULD BE LARGER THAN $0.0047 \mu F$, AND THE SAMPLING CAPACITOR ACROSS PINS 11 AND 12 SHOULD BE PLACED OVER A SHIELD TIED TO PIN 10.

Test Circuit 4. CMRR Test

APPLICATIONS INFORMATION

Common-Mode Rejection Ratio (CMRR)

The LTC1043, when used as a differential to single-ended converter (Figure 1) rejects common-mode signals and preserves differential voltages. Unlike other techniques, the LTC1043's CMRR does not degrade with increasing common-mode voltage frequency. During the sampling mode, the impedance of pins 2, 3 (and 11, 12) should be reasonably balanced, otherwise, common-mode signals will appear differentially. The value of the CMRR depends on the value of the sampling and holding capacitors (C_S , C_H) and on the sampling frequency. Since the common-mode voltages are not sampled, the common-mode signal frequency can well exceed the sampling frequency without experiencing aliasing phenomena. The CMRR of Figure 1

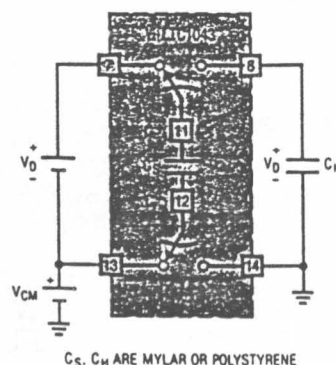


Figure 1. Differential to Single-Ended Converter

LTC1043

APPLICATIONS INFORMATION

is measured by shorting pins 7 and 13 and by observing, with a precision DVM, the change of the voltage across C_H with respect to an input CM voltage variation. During the sampling and holding mode, charges are being transferred and minute voltage transients will appear across the holding capacitor. Although the R_{ON} on the switches is low enough to allow fast settling, as the sampling frequency increases, the rate of charge transfer increases and the average voltage measured with a DVM across it will increase proportionally; this causes the CMRR of the sampled data system, as seen by a "continuous" instrument (DVM), to decrease, Figure 2.

Switch Charge Injection

Figure 3 shows one out of the eight switches of the LTC1043, configured as a basic sample and hold circuit. When the switch opens, a "hold step" is observed and its magnitude depends on the value of the input voltage. Figure 4 shows charge injected into the hold capacitor. For instance, a 2pC of charge injected into a 0.01 μ F capacitor causes a 200 μ V hold step. As shown in Figure 4, there is a predictable and repeatable charge injection cancellation when the input voltage is close to half the supply voltage of the LTC1043. This is a unique feature of this product, containing charge-balanced switches fabricated with a self-aligning gate CMOS process. Any switch of the LTC1043, when powered with symmetrical dual supplies, will sample and hold small signals around ground without any significant error.

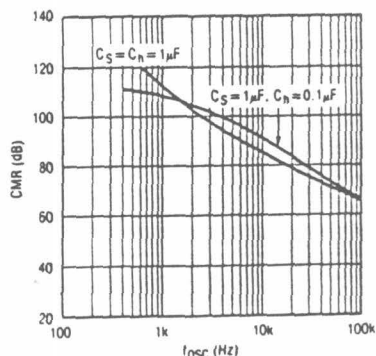


Figure 2. CMRR vs Sampling Frequency

Shielding the Sampling Capacitor for Very High CMRR

Internal or external parasitic capacitors from the C^+ pin(s) to ground affect the CMRR of the LTC1043, (Figure 1). The common-mode error due to the internal junction capacitances of the C^+ pin(s) 2 and 11 is cancelled through internal circuitry. The C^+ pin, therefore, should be used as the top plate of the sampling capacitor. The interpin capacitance between pin 2 and dummy pin 1 (11 and 10) appears in parallel with the sampling capacitor so it does not degrade the CMRR. A shield placed underneath the sampling capacitor (Figure 5) and connected to either pin 1 or 3 helps to boost the CMRR in excess of 120dB.

Excessive external parasitic capacitance between the C^- pins and ground indirectly degrades CMRR; this becomes visible especially when the LTC1043 is used with clock frequencies above 2kHz. Because of this, if a shield is used, the parasitic capacitance between the shield and circuit ground should be minimized.

It is recommended that the outer plate of the sampling capacitor be connected to the C^- pin(s).

Input Pins, SCR Sensitivity

An internal 60 Ω resistor is connected in series with the input of the switches (pins 5, 6, 7, 8, 13, 14, 15, 18) and it is included in the R_{ON} specification. When the input voltage exceeds the power supply by a diode drop, current will flow into the input pin(s). The LTC1043 will not

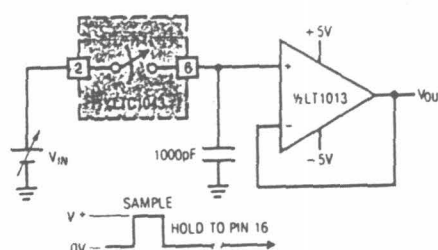


Figure 3

APPLICATIONS INFORMATION

latch until the input current reaches 2mA–3mA. The device will recover from the latch mode when the input drops 3V–4V below the voltage value which caused the latch. For instance, if an external resistor of 200Ω is connected in series with an input pin, the input can be taken 1.3V above the supply without latching the IC. The same applies for the C⁺ and C[−] pins.

Cosc Pin (16), Figure 6

The Cosc pin can be used with an external capacitor, C_{osc}, connected from pin 16 to pin 17, to modify the internal oscillator frequency. If pin 16 is floating, the internal 24pF capacitor plus any external interpin capacitance set the oscillator frequency around 190kHz with ±5V supply. The typical performance characteristics curves provide the necessary information to set the oscillator fre-

quency for various power supply ranges. Pin 16 can also be driven with an external clock to override the internal oscillator. Although standard 7400 series CMOS gates do not guarantee CMOS levels with the current source and sink requirements of pin 16, they will in reality drive the Cosc pin. CMOS gates conforming to standard B series output drive have the appropriate voltage levels and more than enough output current to simultaneously drive several LTC1043 Cosc pins. The typical trip levels of the Schmitt trigger, Figure 6, are given below.

SUPPLY	TRIP LEVELS	
V ⁺ = 5V, V [−] = 0V	V _H = 3.4V	V _L = 1.35V
V ⁺ = 10V, V [−] = 0V	V _H = 6.5V	V _L = 2.8V
V ⁺ = 15V, V [−] = 0V	V _H = 9.5V	V _L = 4.1V

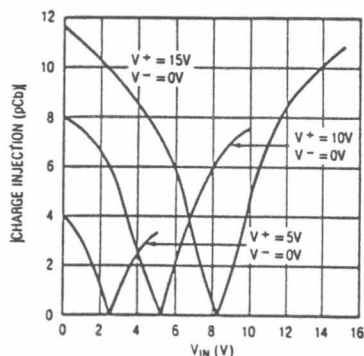


Figure 4. Individual Switch Charge Injection vs Input Voltage

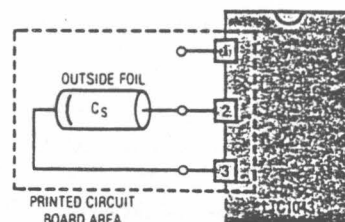


Figure 5. Printed Circuit Board Layout Showing Shielding the Sampling Capacitor

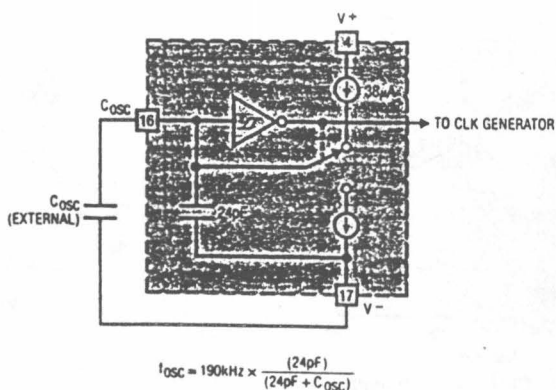


Figure 6. Internal Oscillator



LTC1052/LTC7652

Chopper-Stabilized Operational Amplifier (CSOA™)

OPERATIONAL AMPLIFIERS

2

FEATURES

- **Guaranteed Max. Offset** $5\mu\text{V}$
- **Guaranteed Max. Offset Drift** $0.05\mu\text{V}/^\circ\text{C}$
- **Typ. Offset Drift** $0.01\mu\text{V}/^\circ\text{C}$
- **Excellent Long Term Stability** $100\text{nV}/\sqrt{\text{Month}}$
- **Guaranteed Max. Input Bias Current** 30pA
- **Over Operating Temperature Range**
- **Guaranteed Min. Gain** 120dB
- **Guaranteed Min. CMRR** 120dB
- **Guaranteed Min. PSRR** 120dB
- **Single Supply Operation** 4.75V to 16V
(Input Voltage Range Extends to Ground)
- **External Capacitors can be Returned to V^- with No Noise Degradation**

APPLICATIONS

- Thermocouple Amplifiers
- Strain Gauge Amplifiers
- Low Level Signal Processing
- Medical Instrumentation

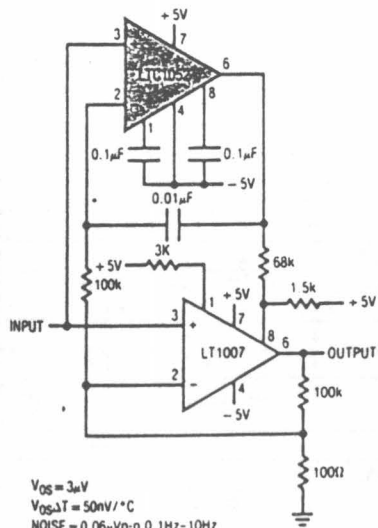
DESCRIPTION

The LTC1052 and LTC7652 are low noise Chopper-stabilized op amps (CSOA™) manufactured using Linear Technology's enhanced LTCMOS™ silicon gate process. Chopper-stabilization constantly corrects offset voltage errors. Both initial offset and changes in the offset due to time, temperature and common-mode voltage are corrected. This, coupled with picoampere input currents, gives these amplifiers unmatched performance.

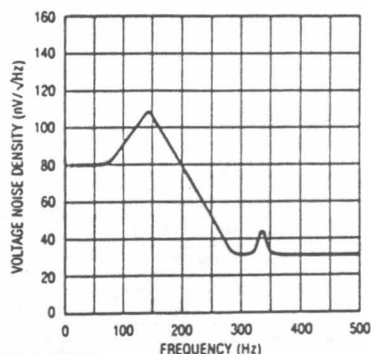
Low frequency ($1/f$) noise is also improved by the chopping technique. Instead of increasing continuously at a 3dB/octave rate, the internal chopping causes noise to decrease at low frequencies.

The chopper circuitry is entirely internal and completely transparent to the user. Only two external capacitors are required to alternately sample and hold the offset correction voltage and the amplified input signal. Control circuitry is brought out on the 14-pin version to allow the sampling of the LTC1052 to be synchronized with an external frequency source.

Ultra Low Noise, Low Drift Amplifier



LTC1052 Noise Spectrum



CSOA™ and LTCMOS™ are trademarks of Linear Technology Corporation.
Norton™ is a trademark of DuPont.



2-123

LTC1052/LTC7652

ABSOLUTE MAXIMUM RATINGS

(Notes 1 and 2)

Total Supply Voltage (V^+ to V^-)	18V
Input Voltage	($V^+ + 0.3V$) to ($V^- - 0.3V$)
Output Short Circuit Duration	Indefinite
Operating Temperature Range	
LTC1052C/LTC7652C	-40°C to 85°C
LTC1052M	-55°C to 125°C
Storage Temperature Range	-55°C to 150°C
Lead Temperature (Soldering, 10 sec.)	300°C

PACKAGE/ORDER INFORMATION

TOP VIEW	ORDER PART NUMBER	REPLACES
	LTC7652CH	ICL7652CTV ICL7652ITV ICL7650CTV-1 ICL7650ITV-1
	LTC1052CH	ICL7650CTV ICL7650ITV
	LTC1052MH	ICL7650MTV
	LTC1052CN8 LTC1052CJ8 LTC1052MJ8	ICL7650CPA ICL7650JA
	LTC1052CJ LTC1052CN LTC1052MJ	ICL7652IJD ICL7650IJD ICL7652CPD ICL7650CPD ICL7650MJD

ELECTRICAL CHARACTERISTICS

$V_S = \pm 5V$, T_A = operating temperature range, test circuit TC1, unless otherwise specified.

SYMBOL	PARAMETER	CONDITIONS	LTC1052M			LTC1052C/LTC7652C			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
V_{OS}	Input Offset Voltage	$T_A = 25^\circ C$ (Note 3)		± 0.5	± 5	± 0.5	± 5		μV
$\Delta V_{OS} / \Delta Temp$	Average Input Offset Drift	(Note 3)	●	± 0.01	± 0.05	± 0.01	± 0.05		$\mu V / ^\circ C$
$\Delta V_{OS} / \Delta Time$	Long Term Offset Voltage Stability			100		100			nV / \ Month
I_{OS}	Input Offset Current	$T_A = 25^\circ C$	●	± 5	± 30	± 5	± 30		pA
I_B	Input Bias Current	$T_A = 25^\circ C$	●	± 1	± 30	± 1	± 30		pA
$e_{n,p}$	Input Noise Voltage	$R_S = 100\Omega$, DC to 10Hz, TC3 $R_S = 100\Omega$, DC to 1Hz, TC3		1.5 0.5		1.5 0.5			μV_{p-p} μV_{p-p}
i_n	Input Noise Current	$f = 10Hz$ (Note 5)		0.6		0.6			IA / \ Hz
CMRR	Common-Mode Rejection Ratio	$V_{CM} = V^-$ to $+2.7V$	●	120	140	120	140		dB
PSRR	Power Supply Rejection Ratio	$V_{SUPPLY} = \pm 2.375V$ to $\pm 8V$	●	120	150	120	150		dB
A_{VOL}	Large Signal Voltage Gain	$R_L = 10k$, $V_{OUT} = \pm 4V$	●	120	150	120	150		dB
V_{OUT}	Maximum Output Voltage Swing (Note 4)	$R_L = 10k$ $R_L = 100k$	●	± 4.7	± 4.85 ± 4.95	± 4.7	± 4.85 ± 4.95		V V
SR	Slew Rate	$R_L = 10k$, $C_L = 50pF$		4		4			V / \mu s
GBW	Gain Bandwidth Product			1.2		1.2			MHz
I_S	Supply Current	No Load, $T_A = 25^\circ C$	●	1.7	2.0 3.0	1.7	2.0 3.0		mA mA
I_S	Internal Sampling Frequency			330		330			Hz
	Clamp On Current	$R_L = 100k$	●	25	100	25	100		μA
	Clamp Off Current	$-4V < V_{OUT} < +4V$	●	10	100 2	10	100 1		pA nA

The ● denotes the specifications which apply over the full operating temperature range.

Note 1: Absolute Maximum Ratings are those values beyond which the life of the device may be impaired.

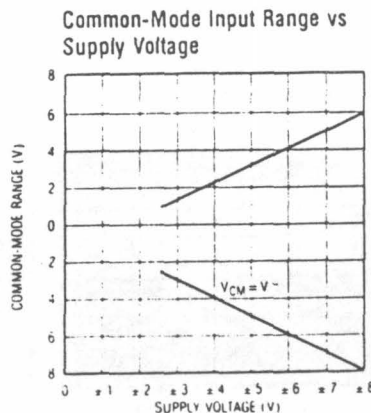
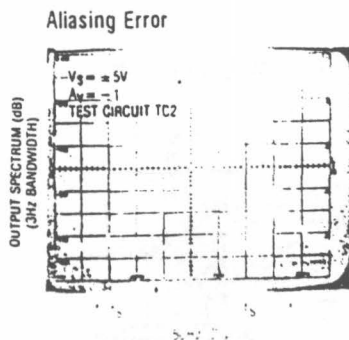
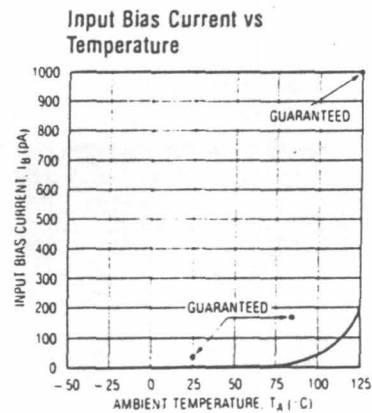
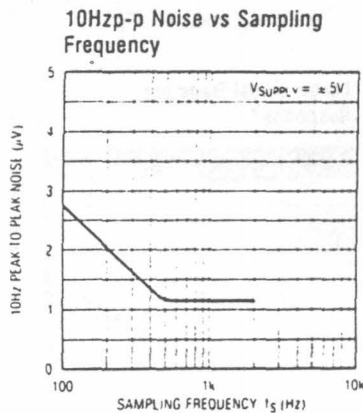
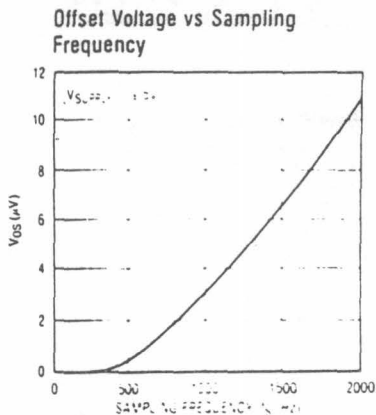
Note 2: Connecting any terminal to voltages greater than V^+ or less than V^- may cause destructive latch-up. It is recommended that no sources operating from external supplies be applied prior to power-up of the LTC1052/LTC7652.

Note 3: These parameters are guaranteed by design. Thermocouple effects preclude measurement of these voltage levels in high speed automatic testing. V_{OS} is measured to a limit determined by test equipment capability. Voltages on C_{EXTA} and C_{EXTB} . A_{VOL} , CMRR and PSRR are measured to insure proper operation of the nulling loop to insure meeting the V_{OS} and V_{OS} drift specifications. See Package-Induced V_{OS} in applications section.

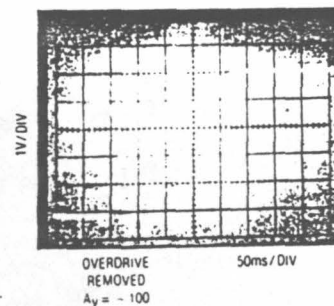
Note 4: Output clamp not connected.

Note 5: Current noise is calculated from the formula: $i_n = (2q I_B)^{1/2}$, where $q = 1.6 \times 10^{-19}$ coulomb.

TYPICAL PERFORMANCE CHARACTERISTICS

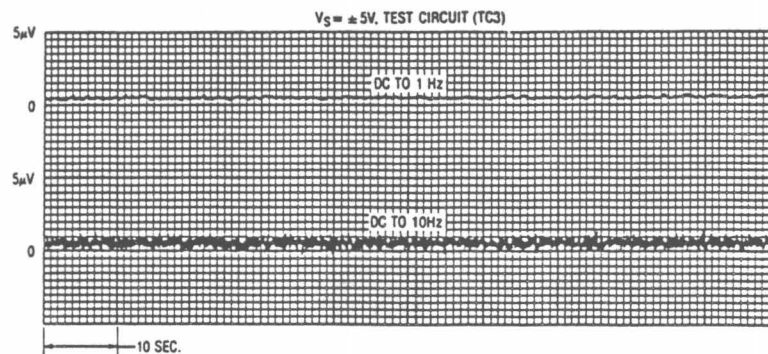


Overload Recovery (Output Clamp Not Used)

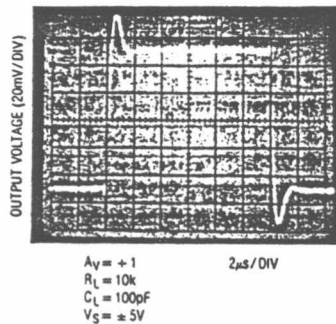


TYPICAL PERFORMANCE CHARACTERISTICS

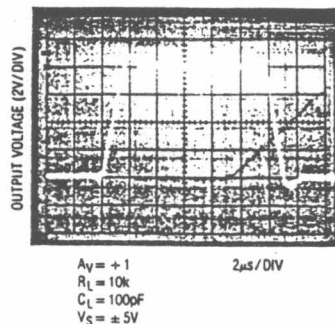
Input Noise Voltage



Small Signal Transient Response*

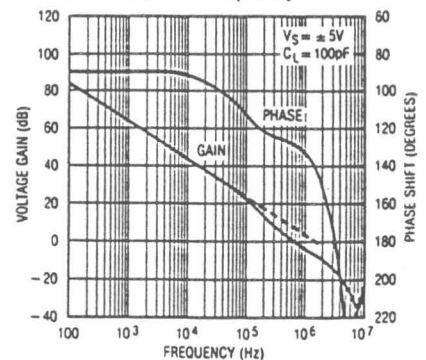
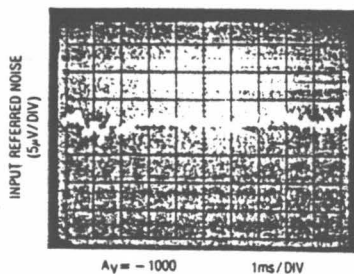
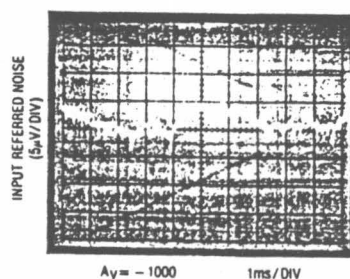


Large Signal Transient Response*

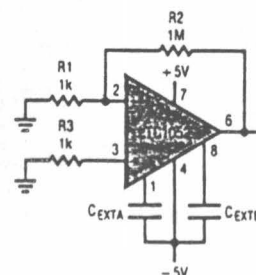


*RESPONSE IS NOT DEPENDENT ON PHASE OF CLOCK

Gain Phase vs Frequency

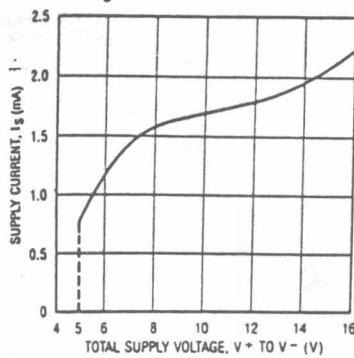
Broadband Noise,
 $C_{EXT} = 0.1\mu F$ Broadband Noise,
 $C_{EXT} = 1.0\mu F$ 

Broadband Noise Test Circuit (TC2)

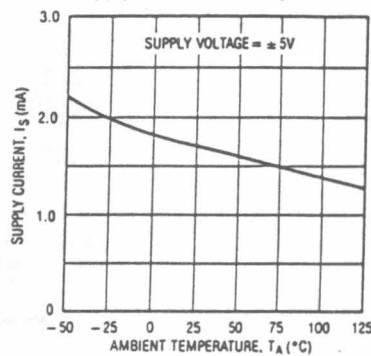


TYPICAL PERFORMANCE CHARACTERISTICS

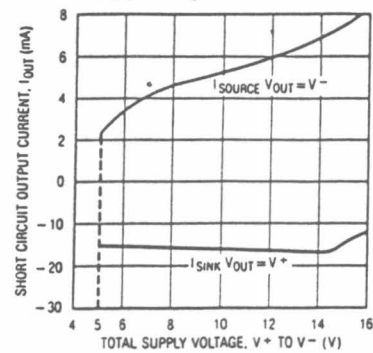
Supply Current vs Supply Voltage



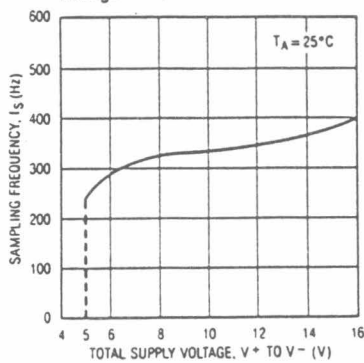
Supply Current vs Temperature



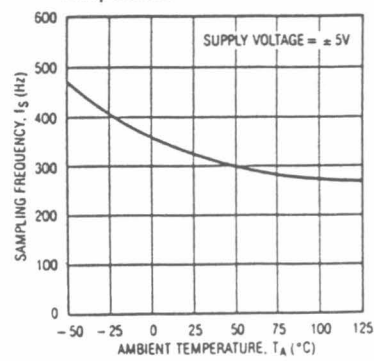
Output Short Circuit Current vs Supply Voltage



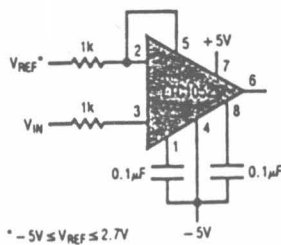
Sampling Frequency vs Supply Voltage



Sampling Frequency vs Temperature

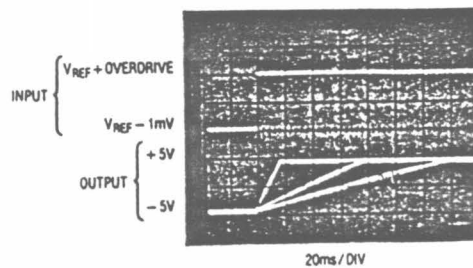


Comparator Operation



* $-5V \leq V_{REF} \leq 2.7V$

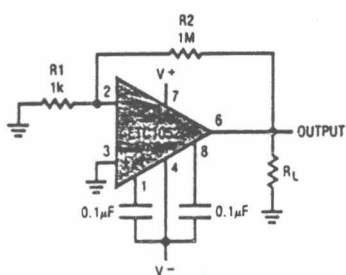
Response Time vs Overdrive



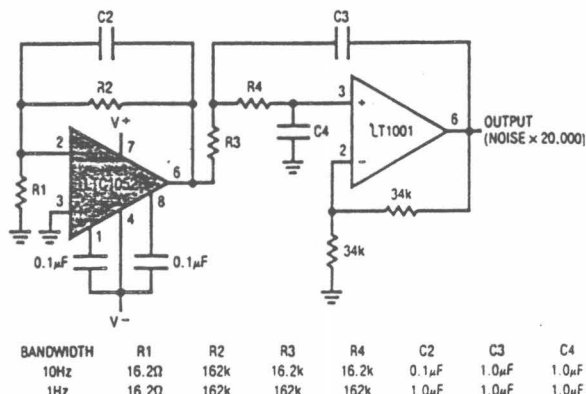
LTC1052/LTC7652

TEST CIRCUITS

Electrical Characteristics Test Circuit (TC1)



DC to 10Hz and DC to 1Hz Noise Test Circuit (TC3)



THEORY OF OPERATION

DC OPERATION

The shaded portion of the LTC1052 block diagram (Figure 1) entirely determines the amplifier's DC characteristics. During the auto-zero portion of the cycle, the inputs are shorted together and a feedback path is closed around the input stage to null its offset. Switch S2 and capacitor C_{EXTA} act as a sample and hold to store the nulling voltage during the next step—the sampling cycle.

In the sampling cycle, the zeroed amplifier is used to amplify the differential input voltage. Switch S2 connects the amplified input voltage to C_{EXTB} and the output gain stage. C_{EXTB} and S2 act as a sample and hold to store the amplified input signal during the auto-zero cycle. By switching between these two states at a frequency much higher than the signal frequency, a continuous output results.

Notice that during the auto-zero cycle the inputs are not only shorted together, but are also shorted to the negative input. This forces nulling with the common-mode voltage present and accounts for the extremely high CMRR of the LTC1052. In the same fashion, variations in power supply are also nulled. For nulling to take place, the offset voltage, common-mode voltage and power supply must not change at a frequency which is high compared to the frequency response of the nulling loop.

AC OPERATION AND ALIASING ERRORS

So far, the DC performance of the LTC1052 has been explained. As the input signal frequency increases, the problem of aliasing must be addressed. Aliasing is the spurious formation of low and high frequency signals caused by the mixing of the input signal with the sampling frequency, f_s . The frequency of the error signals, f_E , is:

$$f_E = f_s \pm f_i$$

where f_i = input signal frequency.

Normally it is the difference frequency ($f_s - f_i$) which is of concern because the high frequency ($f_s + f_i$) can be easily filtered. As the input frequency approaches the sampling frequency, the difference frequency approaches zero and will cause DC errors—the exact problem that the chopping amplifier is meant to eliminate.

The solution is simple. Filter the input so the sampling loop never sees any frequency near the sampling frequency.

At a frequency well below the sampling frequency, the LTC1052 forces i_1 to equal i_2 (see Figure 1B). This makes δi zero, thus the gain of the sampling loop zero at this and higher frequencies—i.e., a low pass filter. The corner frequency of this low pass filter is set by the output stage pole ($1/R_{L4} g_{m5} R_{L5} C_2$).

THEORY OF OPERATION

For frequencies above this pole, I_2 is:

$$I_2 = V_{IN} g_{m6} \times \frac{1}{sC_2} \times sC_1$$

and

$$I_1 - I_2 = V_{IN} g_{m1} - V_{IN} g_{m6} \times \frac{C_1}{C_2}$$

The LTC1052 is very carefully designed so that $g_{m1} = g_{m6}$ and $C_1 = C_2$. Substituting these values in the above equation shows $I_1 - I_2 = 0$.

The g_{m6} input stage, with C_1 and C_2 , not only filters the input to the sampling loop, but also acts as a high frequency path to give the LTC1052 good high frequency response. The unity-gain cross frequencies for both the DC path and high frequency path are identical

$$[f_{3dB} = \frac{1}{2\pi} (g_{m1}/C_1) = \frac{1}{2\pi} (g_{m6}/C_2)].$$

This makes the frequency response smooth and continuous and eliminates sampling noise in the output as the loop transitions from the high gain DC loop to the high frequency loop.

The typical curves show just how well the amplifier works. The output spectrum shows the difference frequency ($f_1 - f_s = 100\text{Hz}$) is down by 80dB and the frequency response curve shows no abnormalities or perturbations. Also note the well-behaved small and large signal step responses and the absence of the sampling frequency in the output spectrum. If the dynamics of the amplifier, i.e., slew rate and overshoot, depend on the sampling clock, the sampling frequency will appear in the output spectrum.

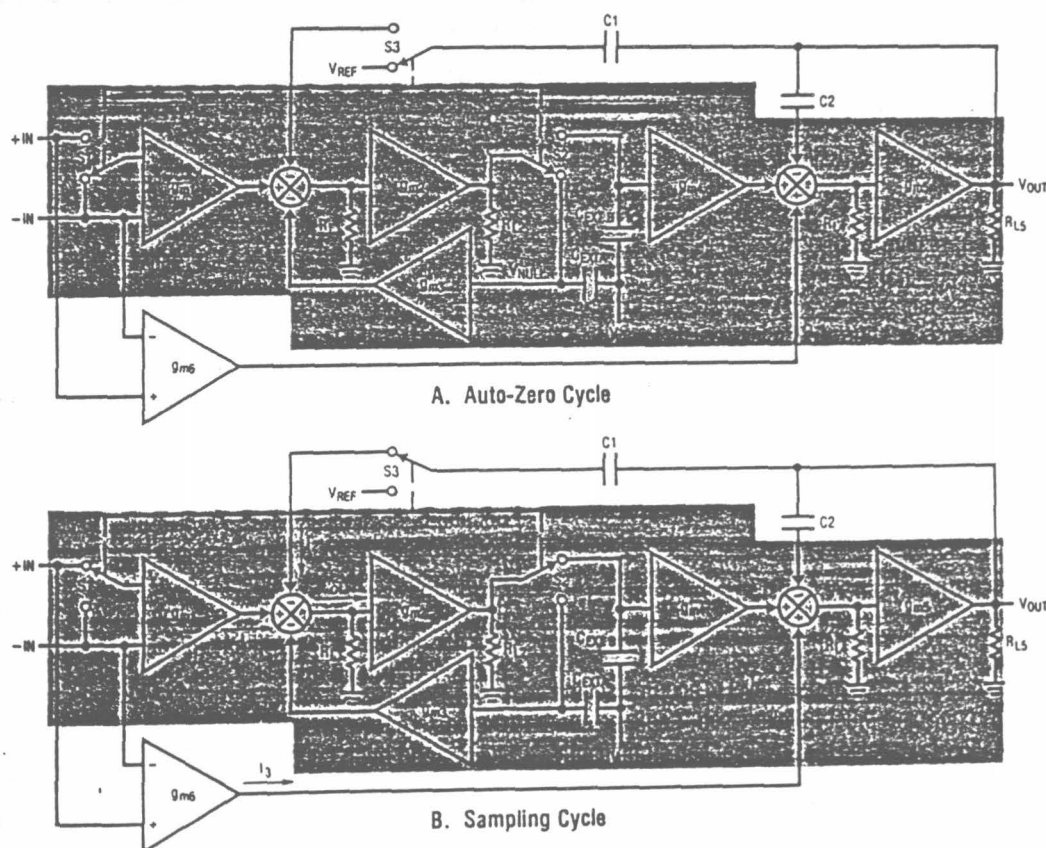


Figure 1. LTC1052 Block Diagram

FEATURES

- 0.2% Initial Tolerance Max
- *Guaranteed* Temperature Stability
- Maximum 0.6Ω Dynamic Impedance
- Wide Operating Current Range
- Directly Interchangeable with LM136 for Improved Performance
- No Adjustments Needed for Minimum Temperature Coefficient

APPLICATIONS

- Reference for 5V Systems
- 8 Bit A/D and D/A Reference
- Digital Voltmeters
- Current Loop Measurement and Control Systems
- Power Supply Monitor

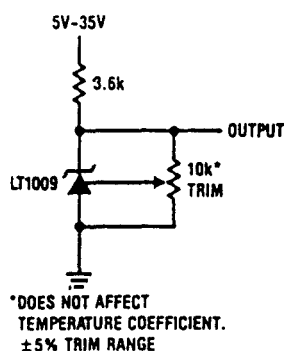
DESCRIPTION

The LT1009 is a precision trimmed 2.500 Volt shunt regulator diode featuring a maximum initial tolerance of only $\pm 5\text{mV}$. The low dynamic impedance and wide operating current range enhances its versatility. The 0.2% reference tolerance is achieved by on-chip trimming which not only minimizes the initial voltage tolerance but also minimizes the temperature drift.

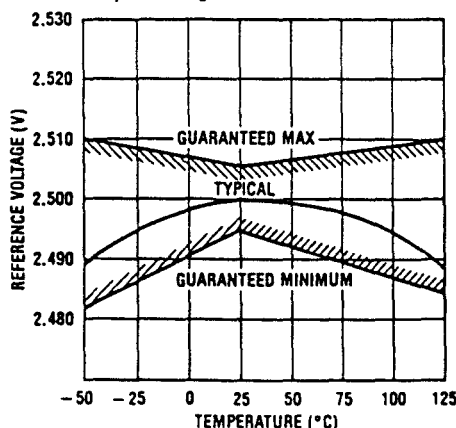
Even though no adjustments are needed with the LT1009, a third terminal allows the reference voltage to be adjusted $\pm 5\%$ to calibrate out system errors. In many applications, the LT1009 can be used as a pin-to-pin replacement of the LM136H-2.5 and the external trim network eliminated.

For a lower drift 2.5V reference, see the LT1019 data sheet.

2.5 Volt Reference



Output Voltage


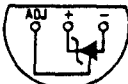


LT1009 Series

ABSOLUTE MAXIMUM RATINGS

Reverse Current	20mA
Forward Current	10mA
Operating Temperature Range	
LT1009M	-55°C to 125°C
LT1009C	0°C to 70°C
Storage Temperature Range	
LT1009M and C	-65°C to 150°C
Lead Temperature (Soldering, 10 sec.)	300°C

PACKAGE/ORDER INFORMATION

<p>BOTTOM VIEW</p>  <p>H PACKAGE TO-46 METAL CAN</p>	<p>ORDER PART NUMBER</p> <p>LT1009MH LT1009CH</p>
<p>BOTTOM VIEW</p>  <p>Z PACKAGE TO-92 PLASTIC</p>	<p>LT1009CZ</p>

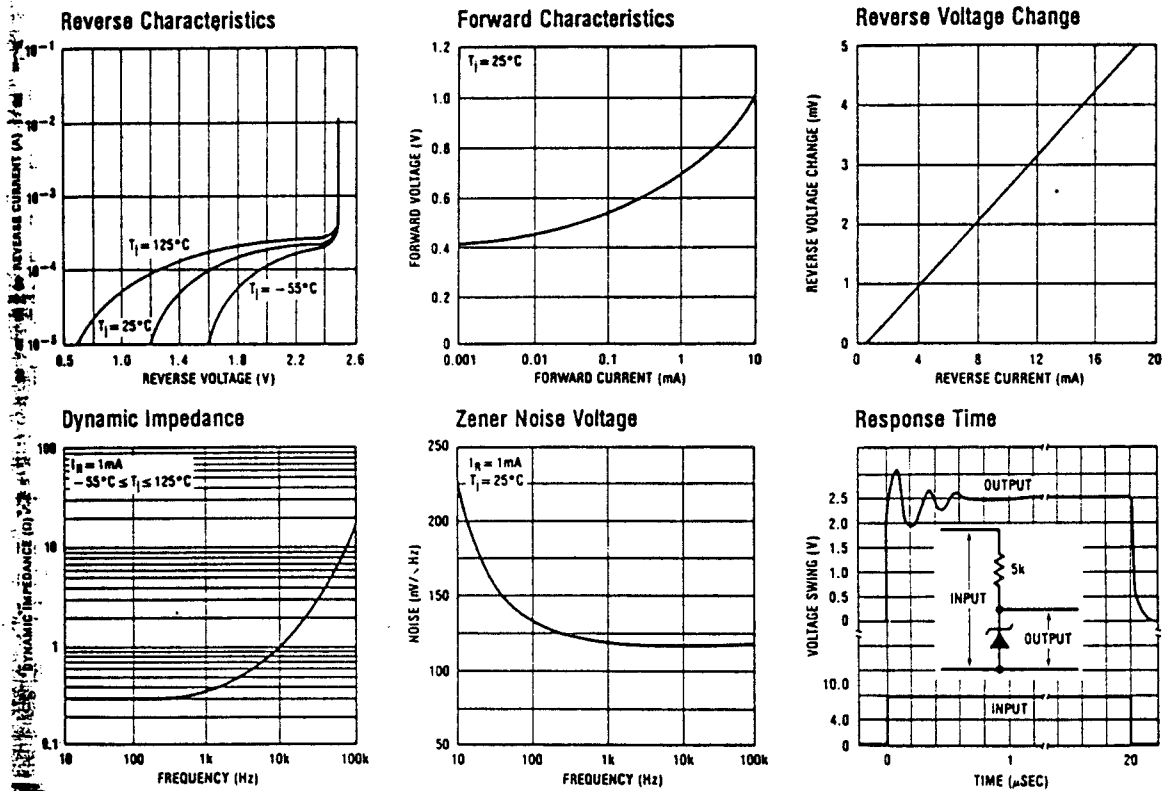
ELECTRICAL CHARACTERISTICS

SYMBOL	PARAMETER	CONDITIONS	LT1009M			LT1009C			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
V_Z	Reverse Breakdown Voltage	$T_A = 25^\circ\text{C}$, $I_R = 1\text{mA}$	2.495	2.500	2.505	2.495	2.500	2.505	V
$\frac{\Delta V_Z}{\Delta I_R}$	Reverse Breakdown Change with Current	$400\mu\text{A} \leq I_R \leq 10\text{mA}$	2.6	6		2.6	10		mV/mV
r_Z	Reverse Dynamic Impedance	$I_R = 1\text{mA}$	0.2	0.6		0.2	1.0		Ω
$\frac{\Delta V_Z}{\Delta \text{Temp}}$	Temperature Stability	$T_{\text{MIN}} \leq T_A \leq T_{\text{MAX}}$		15		1.8	4		mV/°C
	Average Temperature Coefficient	$0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$ $-55^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$ (Note 1)	15	25		15	25		ppm/°C
			25	35					ppm/°C
$\frac{\Delta V_Z}{\Delta \text{Time}}$	Long Term Stability	$T_A = 25^\circ\text{C} \pm 0.1^\circ\text{C}$, $I_R = 1\text{mA}$	20			20			ppm/kHr

The ● denotes the specifications which apply over full operating temperature range.

Note 1: Average temperature coefficient is defined as the total voltage change divided by the specified temperature range.

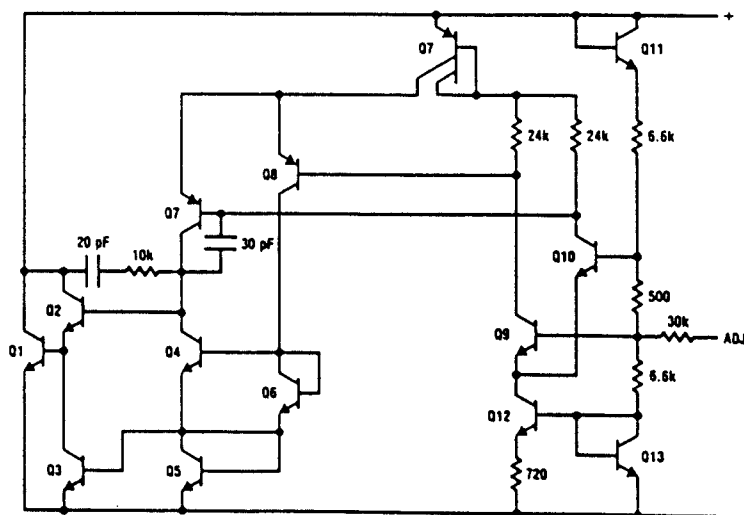
TYPICAL PERFORMANCE CHARACTERISTICS



VOLTAGE REFERENCES

4

SCHEMATIC DIAGRAM



Literaturverzeichnis

- /1/ J. Williams
Ausgefeilte Spannungs/Frequenz Wandler
Elektronik 1985, Heft 23
Franzis - Verlag GmbH
- /2/ Jim Williams
Designs for High Performance Voltage-to-Frequency Converters
Application Note 14 July 1985
Linear Technology Corporation
- /3/ Prof. Dr.-Ing. R. Meißer
Impulstechnik
Vorlesungsmitschrift
- /4/ U. Tietze Ch. Schenk
Halbleiterschaltungstechnik
Springer Verlag 1985
- /5/ G. Durcansky
Digitaltechnik
Physik Verlag 1982
- /6/ KFA Lagerliste 500
Elektrotechnik Seite 28
- /7/ mecl high speed integrated circuits
mecl databook
MOTOROLA INC., 1978
- /8/ mecl system design handbook
William R. Blood Jr.
MOTOROLA INC., 1980
- /9/ Vorlesungsschrift
1. Teil Hochfrequenzschaltungen
Prof. H. Friedburg
Universität Karlsruhe 7. Aufl. 1983
- /10/ Prof. Dr.-Ing. R. Meißer
Mikrowellentechnik
Vorlesungsmitschrift

Die vorliegende Arbeit ist bei der Arbeitsgruppe Schicht- und Ionentechnik in der Kernforschungsanlage Jülich GmbH, im Folgenden kurz KFA genannt, angefertigt worden.

Mein besonderer Dank gilt:

Herrn Prof. Dr.-Ing. R. Meißner (FH Jülich) für die Übernahme der Betreuung der Arbeit seitens der Fachhochschule und wegen seiner ständigen Gesprächsbereitschaft.

Herrn Prof. Dr.-Ing. E. Vogelsang (FH Jülich) für die Übernahme des Koreferates und der damit verbundenen Mühe.

Herrn Dipl. Ing. H. U. Hacker wegen der Vergabe des interessanten Themas und der praktischen Lösungsansätze, die er mir zur Problemlösung gegeben hat.

Herrn Dipl. Physiker G. Schug für die ständige Diskussionsbereitschaft zu allen technischen und physikalischen Problemen, die bei der Arbeit aufgetreten sind.

An dieser Stelle bedanke ich mich auch bei allen Mitarbeitern der Arbeitsgruppe Schicht- und Ionentechnik für die hilfreiche Unterstützung bei der praktischen Arbeit.